

۱۴۶

F



146F

نام :

نام خانوادگی :

محل امضاء :



اگر دانشگاه اصلاح شود مملکت اصلاح می شود.
امام خمینی (ره)

صبح جمعه
۹۲/۱۲/۱۶

دفترچه شماره (۱)

جمهوری اسلامی ایران
وزارت علوم، تحقیقات و فناوری
سازمان سنجش آموزش کشور

آزمون ورودی دوره‌های دکتری (نیمه مرکز) داخل سال ۱۳۹۳

مجموعه مهندسی برق (۱) الکترونیک (کد ۲۳۰۱)

مدت پاسخگویی: ۱۵۰ دقیقه

تعداد سؤال: ۴۵

عنوان مواد امتحانی، تعداد و شماره سوالات

ردیف	مواد امتحانی	تعداد سؤال	از شماره	تا شماره
۱	مجموعه دروس تخصصی (الکترونیک ۲ - مدارهای مجتمع خطی، تئوری و تکنولوژی ساخت)	۴۵	۱	۴۵

اسفندماه سال ۱۳۹۲

این آزمون نمره منتهی دارد.

استفاده از ماشین حساب مجاز نمی باشد.

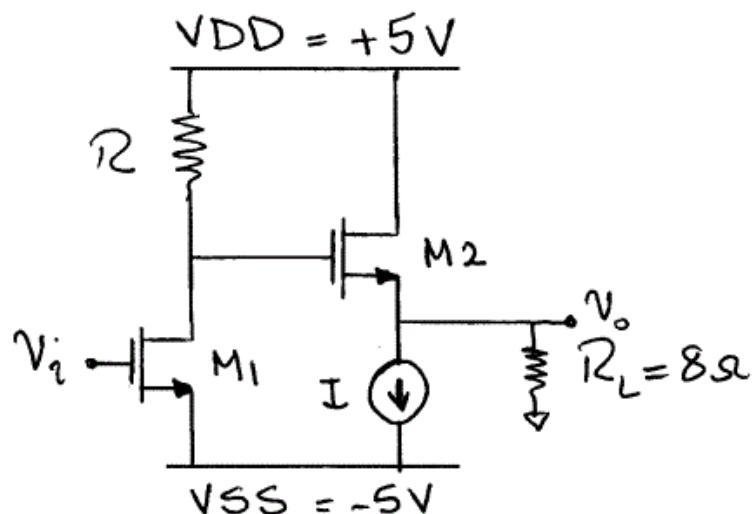
چاپ، تکثیر و انتشار سوالات به هر روش (الکترونیکی و ...) پس از برگزاری آزمون، برای نهایی انتخاب حقوقی و حقوقی تها با مجوز این سازمان مجاز نمی باشد و با مختلفین برای مقررات رفتار می شود.

-۱

در مدار تقویت کننده توان شکل زیر مقدار جریان I بر حسب آمپر چقدر باید باشد تا حداکثر سوئینگ مثبت ولتاژ خروجی (V_o) برابر ۲ ولت باشد؟

$$V_T = 1V$$

$$\mu_n C_{ox} \frac{W}{L} = 0.5 \frac{A}{V^2}$$



$\frac{1}{2}$ (۲)

$\frac{1}{4}$ (۱)

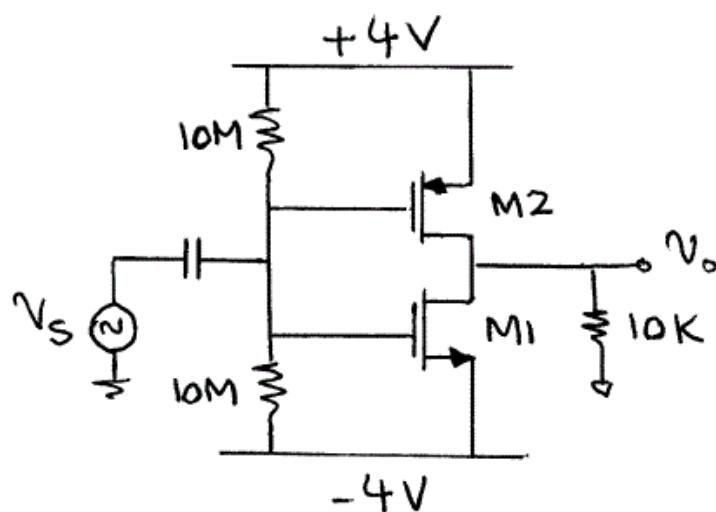
$\frac{7}{4}$ (۴)

$\frac{3}{4}$ (۳)

-۲

در مدار زیر M_1 و M_2 (ماسفت) نوع ارتقایی و دارای $|V_T| = 2V$ و

$$\mu_n C_{ox} = 1 \frac{mA}{V^2}$$



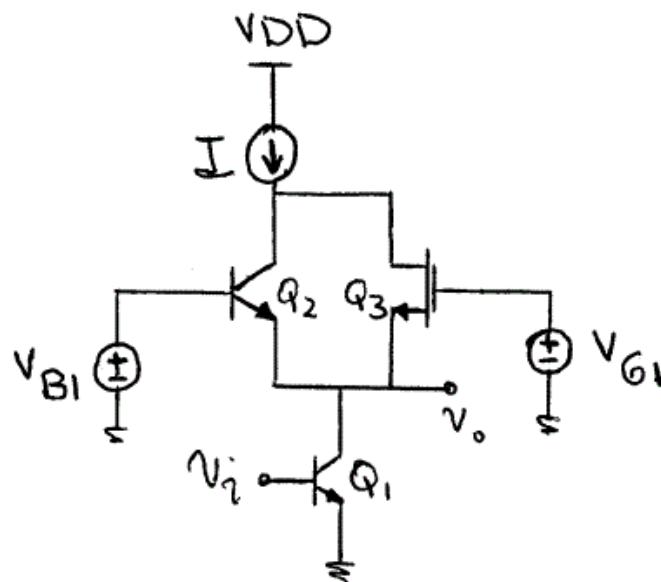
-۲۰ (۲)

-۴۰ (۱)

+۲۰ (۴)

۳ صفر

-۳ در مدار تقویت‌کننده شکل زیر، منبع جریان ایده‌آل است و V_{B1} و V_{G1} به صورتی انتخاب شده‌اند که ترانزیستورهای BJT در ناحیه فعال و ترانزیستورهای MOSFET در ناحیه اشباع بایاس شده باشند. بهره ولتاژ $\frac{V_o}{V_i}$ چقدر است؟

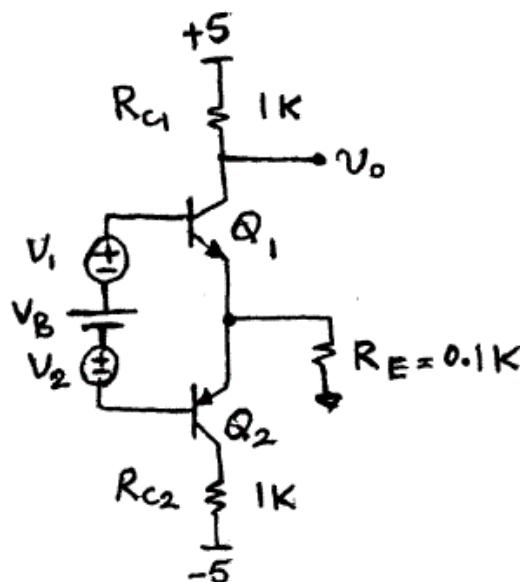


- 15° (۱)
- 75° (۲)
- 3° (۳)
- 1° (۴)

$$g_{m1} = 15 \text{ ms}, g_{m2} = 10 \text{ ms}, g_{m3} = 5 \text{ ms}, \beta = 100, r_o = 10 \text{ k}\Omega$$

-۴ در مدار شکل زیر، V_1 و V_2 منابع سیگنال کوچک با دامنه یکسان و برابر V_i می‌باشند. ولتاژ V_B طوری انتخاب شده تا جریان Q_1 و Q_2 برابر باشد، اندازه بهره ولتاژ $\frac{V_o}{V_i}$ چقدر است؟ ($V_{th} = 25 \text{ mV}$ ، $|V_H| = \infty$)

$$\frac{V_o}{V_i}$$



- ۸ (۱)
- ۱۶ (۲)
- ۲۰ (۳)
- ۴۰ (۴)

-۵ در مدار داده شده، مقدار بیفرهی $A_v = \frac{V_{out}}{V_{in}}$ چند است؟

$$g_{m1,2} = 10 \text{ ms}, \beta = 100, r_{\pi3,4} = 10 \text{ k}\Omega$$

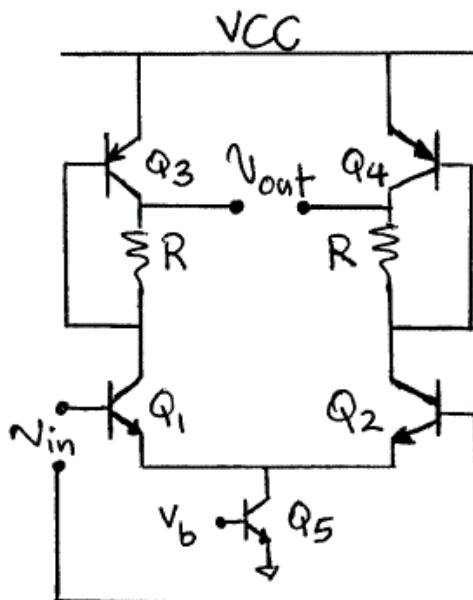
$$R = 100 \Omega, r_{o1} = r_{o2} = r_{o3} = r_{o4} = 50 \text{ k}\Omega$$

۰ (۱)

۲۵۰ (۲)

۵۰۰ (۳)

∞ (۴)



-۶ در تقویت کننده تفاضلی زیر اگر CMRR = $\frac{|V_o|}{|V_{id}|}$ باشد، مقدار CMRR به $\frac{|V_o|}{|V_{ic}|}$ برابر است.

کدام گزینه نزدیک‌تر است؟

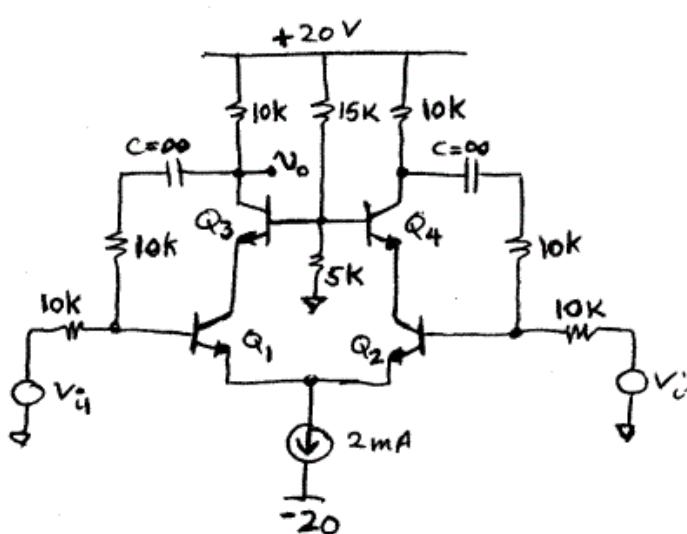
توجه: مقاومت داخلی منبع جریان $k = 250 \text{ m}\Omega$ است و $\beta = 100$

۱ (۱)

۱/۵ (۲)

۴۰۰۰ (۳)

۵۷۰۰ (۴)



-۷

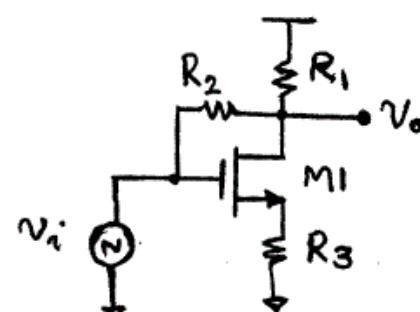
در مدار شکل زیر، ترانزیستور در ناحیه اشباع بایاس شده است. بهره ولتاژ $\frac{V_o}{V_i}$ چقدر است؟

$$g_m = 2 \text{ ms}, \lambda = 0$$

$$R_T = 0.5 \text{ k}\Omega$$

$$R_f = 1 \text{ k}\Omega$$

$$R_1 = 4 \text{ k}\Omega$$



۴ (۱)

۱/۶ (۲)

۰/۸ (۳)

۰ (۴)

-۸

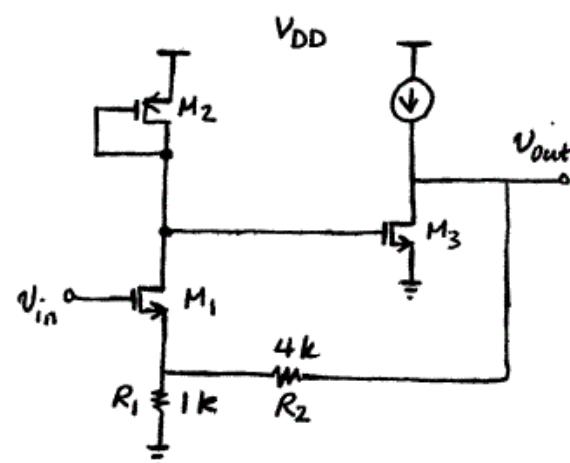
در مدار شکل زیر همه ترانزیستورها در ناحیه اشباع بایاس شده‌اند و منبع

جريان ایده‌آل است. مقدار بهره ولتاژ $\frac{V_{out}}{V_{in}}$ آن تقریباً برابر است با:

$$g_{m1} = 5 \text{ ms}$$

$$g_{m2} = g_{m3} = 1 \text{ ms}$$

$$r_{ds} = \infty$$



۲ (۱)

۲/۵ (۲)

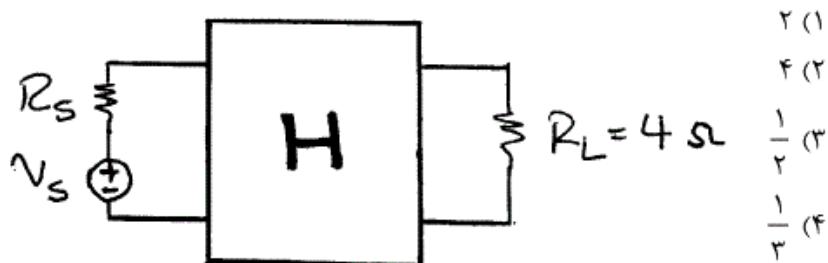
۴ (۳)

۵ (۴)

$$\text{شبکه زیر دارای مدل هیبرید با } H = \begin{bmatrix} h_{ie} & h_{re} \\ h_{fe} & h_{oe} \end{bmatrix} = \begin{bmatrix} 3 & 1 \\ 1 & 1 \\ \frac{1}{2} & \frac{1}{4} \end{bmatrix}$$

-۹

اینکه بیشترین توان به مقاومت R_L برسد، مقدار مقاومت R_s چند اهم است؟

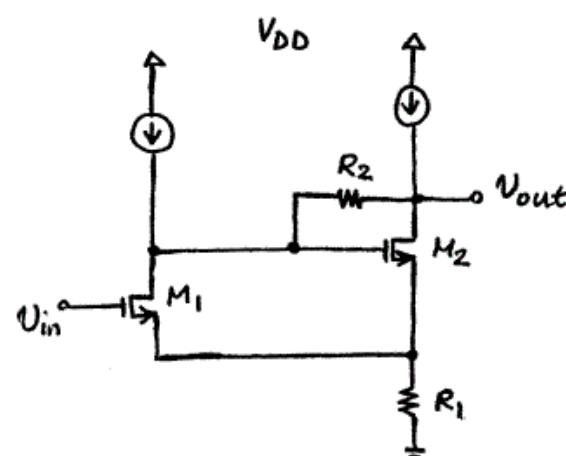


-۱۰ در مدار شکل زیر همه ترانزیستورها در ناحیه اشباع بایاس شده‌اند و منابع جریان ایده‌آل هستند. از اثر بدنی و مدولاسیون طول کاتال ترانزیستورها صرف نظر می‌گردد.
به ازای چه مقداری از مقاومت R_1 این مدار پایدار است؟

$$g_{m1} = 10 \text{ ms}$$

$$g_{m2} = 5 \text{ ms}$$

$$R_g = 400 \Omega$$



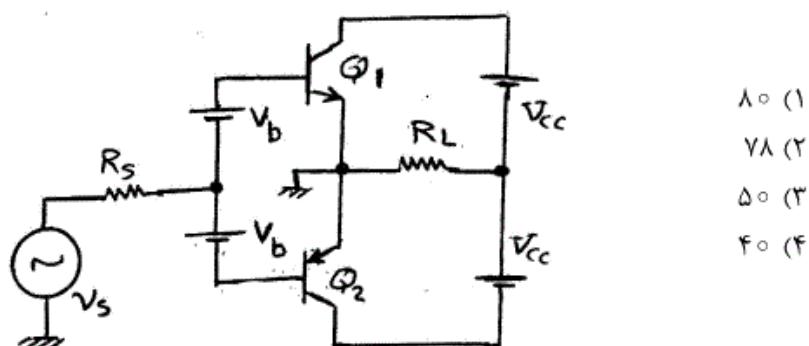
$$R_1 < 200 \Omega$$

$$R_1 < 100 \Omega$$

$$R_1 < 400 \Omega$$

$$R_1 < 300 \Omega$$

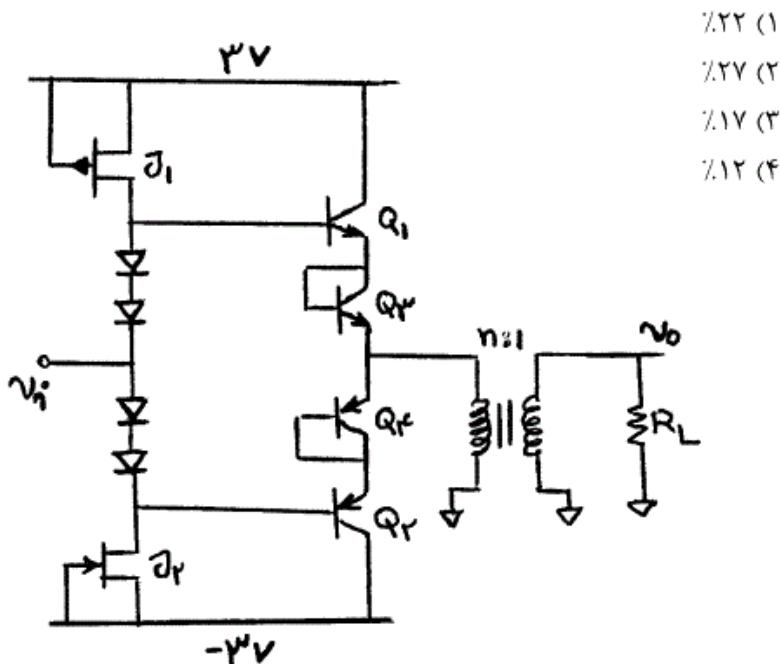
-۱۱ در تقویت‌کننده شکل زیر با فرض: $R_L = 8 \Omega$ ، $V_{cc} = 24 \text{ V}$ اگر جریان مصرفی DC از هر منبع $5/5 \text{ A}$ باشد، راندمان مدار تقریباً چند درصد می‌باشد؟



-۱۲ در مدار داده شده حداکثر راندمان توان به کدام گزینه نزدیک‌تر است؟
برای ترانزیستورهای JFET : $I_{DSS} = 2\text{mA}$ و حداقل افت ولتاژ روی آنها $V_{GS} = 2\text{V}$ است.

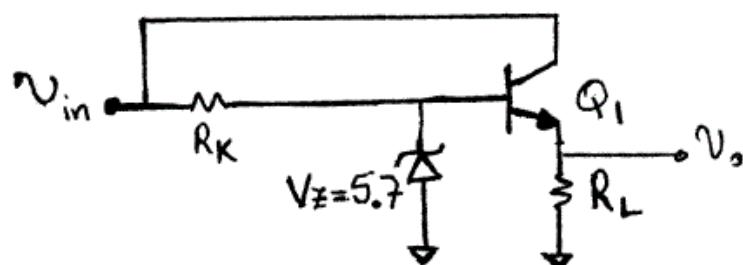
$$|V_{BE(on)}| = 0.7\text{V}, |V_{CE(sat)}| = 0.2\text{V}$$

$$R_L = 2.5\Omega, \beta = 69$$



-۱۳ در تنظیم‌کننده ولتاژ شکل زیر هر دوی ترانزیستور و دیود زنر از جنس سیلیکون می‌باشند و ولتاژ V_{in} ورودی بین ۹V تا ۱۲V تغییر می‌کند. R_k چند اهم باشد تا به ازای $R_L = \infty$ مدار آسیب نبیند. می‌نیمم مقدار R_L برای اینکه مدار درست عمل کند، چند اهم خواهد بود؟

$$I_{Zmax} = 11\text{mA}, I_{Zmin} = 1\text{mA}, \beta = 50$$



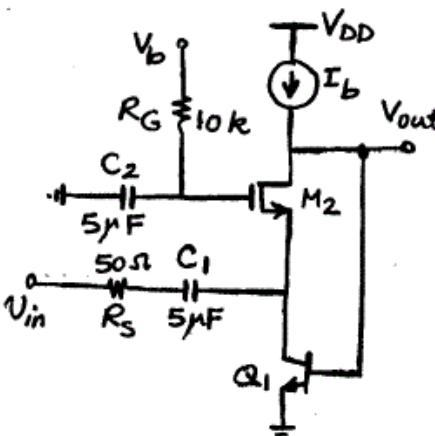
- $R_k = 572, R_{Lmin} = 1\text{ }\Omega$ (۱)
 $R_k = 300, R_{Lmin} = 1\text{ }\Omega$ (۲)
 $R_k = 300, R_{Lmin} = 21$ (۳)
 $R_k = 572, R_{Lmin} = 21$ (۴)

-۱۴ در مدار شکل زیر همه ترانزیستورها در ناحیه فعال بایاس شده‌اند و منبع جریان I_b ایده‌آل است. مقدار فرکانس قطع -3 dB پایین بهره ولتاژ آن برحسب

$$\frac{\text{krad}}{\text{s}}, \text{ کدام است؟}$$

$$g_{m1} = 2 \text{ ms}, g_{m2} = 1 \text{ ms}$$

$$r_{o1} = r_{ds2} = \infty, \beta = 19$$



۴ (۱)

۳ (۲)

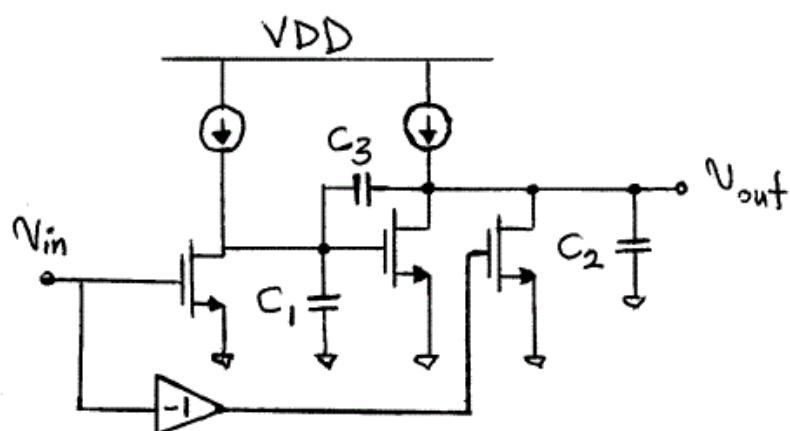
۲ (۳)

۱ (۴)

-۱۵ فرکانس صفر تابع تبدیل $\frac{\text{Grad}}{\text{s}}$ مدار زیر چند است؟

از مقاومت خروجی ترانزیستورها صرف‌نظر شود.

$$g_m = 10 \text{ ms}, C_1 = 100 \text{ fF}, C_2 = 50 \text{ fF}, C_3 = 20 \text{ fF}$$



-۱۰۰ (۱)

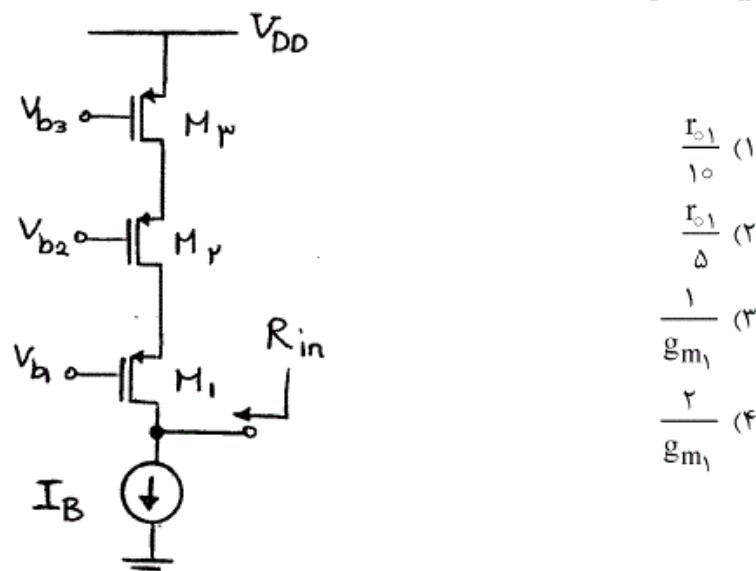
(۴) صفر ندارد.

-۵۰ (۲)

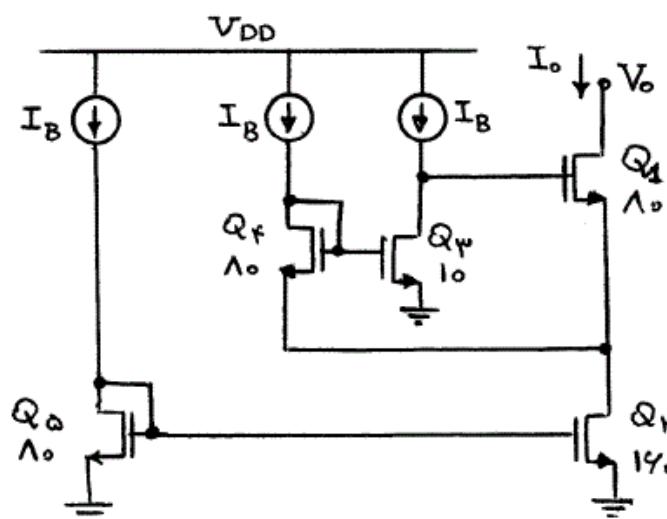
+۵۰۰ (۳)

-۱۶ در مدار شکل زیر، ولتاژ Over drive ترانزیستور M_1 ، M_2 و M_3 برابر ولتاژ Over drive ترانزیستور M_4 و M_5 می باشد. اگر منبع جریان ایده‌آل فرض شود، مقدار مقاومت ورودی (R_{in}) به کدام گزینه نزدیک‌تر است؟

$$\gamma = \circ \quad \lambda_P = 2\lambda_N$$



-۱۷ در شکل زیر، نسبت $\frac{W}{L}$ ترانزیستورها مشخص شده است. اگر ولتاژ Over drive ترانزیستور Q_1 برابر 5° ولت باشد، حداقل ولتاژ خروجی V_o برای کارکرد صحیح آینه جریان به کدام گزینه نزدیک‌تر است؟ ($V_T = 1V, \lambda = \gamma = \circ$)



$$1/2V \quad (2)$$

$$4V \quad (4)$$

$$0/9V \quad (1)$$

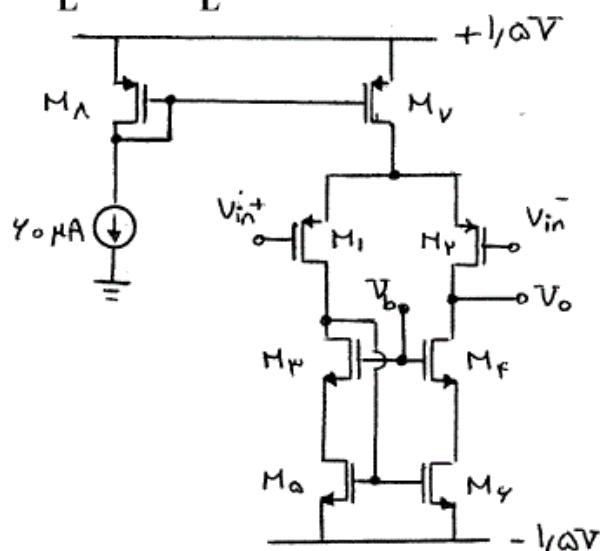
$$1/4V \quad (3)$$

-۱۸ در مدار زیر اندازه ولتاژ DC خروجی (V_{oDC}) برای داشتن سوئینگ متقارن چقدر است؟

$$V_T = \frac{W}{L} V, \mu_n C_{ox} = 16 \frac{\mu A}{V^2}, \mu_p C_{ox} = 3 \frac{\mu A}{V^2}$$

$$\left(\frac{W}{L}\right)_{3-6} = 6, \left(\frac{W}{L}\right)_{1-2} = 8$$

$$\left(\frac{W}{L}\right)_V = 10, \left(\frac{W}{L}\right)_A = 16$$



$$V_{oDC} = -0.4, V_b = -0.5 \quad (1)$$

$$V_{oDC} = -0.25, V_b = -0.5 \quad (2)$$

$$V_{oDC} = -0.4, V_b = -0.4 \quad (3)$$

$$V_{oDC} = -0.25, V_b = -0.4 \quad (4)$$

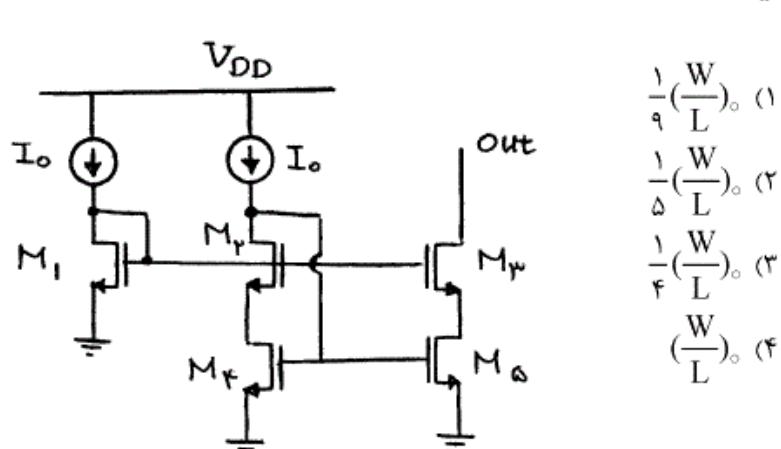
-۱۹ در مدار آینه جریان داده شده ابعاد ترانزیستور M_1 بر حسب نسبت ابعاد

ترانزیستورهای یکسان M_2 و M_3 باشند تا حداقل دامنه نوسانات را در خروجی داشته باشیم؟

ولتاژ آستانه M_1, M_4 و M_5 برابر $0.5V$ و ولتاژ آستانه M_2 و M_3 به

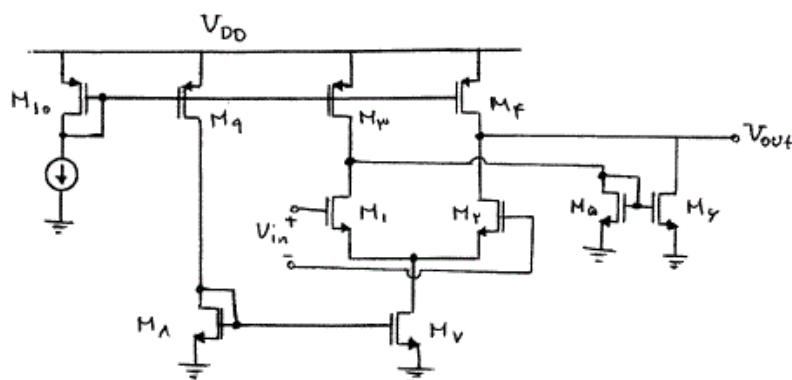
دلیل اثر بدنه $0.6V$ فرض شود. ولتاژ over drive ترانزیستورهای M_2 تا

M_5 $1V$ فرض شود.



- ۲۰ در مدار تقویت کننده داده شده دامنه مجاز تغییرات ولتاژ وجه مشترک در ورودی چند ولت است؟
برای تمامی ترانزیستورها:

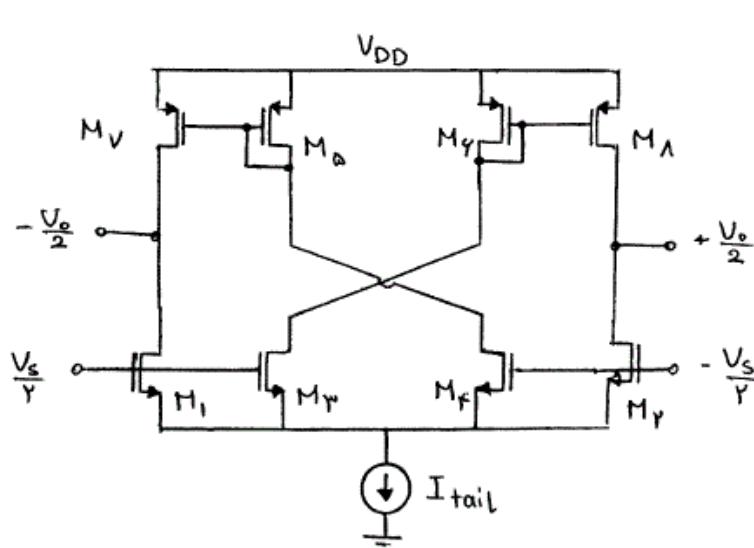
$$V_{Tn} = |V_{Tp}| = 0.1V, \mu_n cox = 100 \mu A/V^2, \frac{W}{L} = 100$$



- ۰/۸ (۲) ۱ (۱)
۰/۶۶ (۴) ۰/۵۶ (۳)

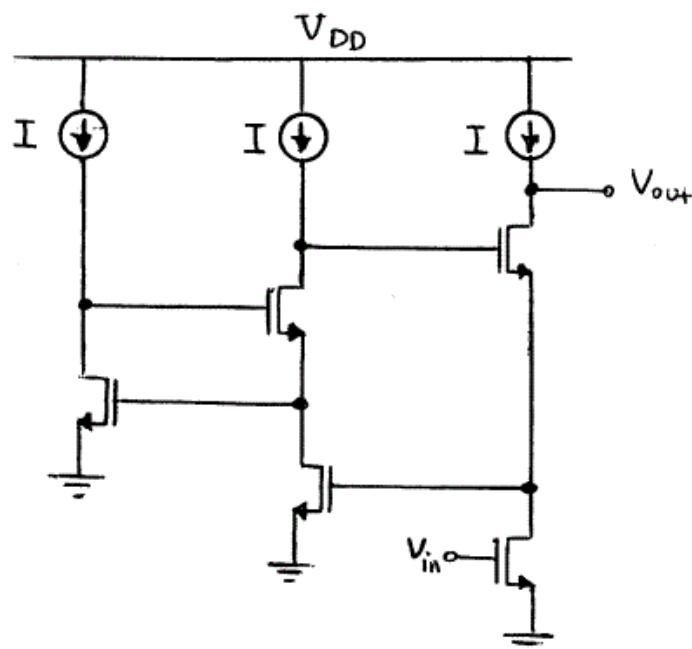
- ۲۱ در مدار شکل زیر ابعاد کلیه ترانزیستورها $\frac{W}{L} = 100$ می باشد. مقدار بپره تفاضلی

$$\lambda_n = \lambda_p = 0.1V^{-1} \text{ و } \mu_n cox = 100 \frac{\mu A}{V^2} \text{ و } I_{tail} = 100 \mu A$$



- $200\sqrt{2}$ (۲) $100\sqrt{2}$ (۱)
 $400\sqrt{2}$ (۴) 400 (۳)

-۲۲- اگر در مدار زیر ترانزیستورها مشابه و دارای پارامترهای $g_m = 20 \text{ mS}$ و $r_o = 200 \Omega$ باشند بهره ولتاژ تقویت کننده چقدر است؟



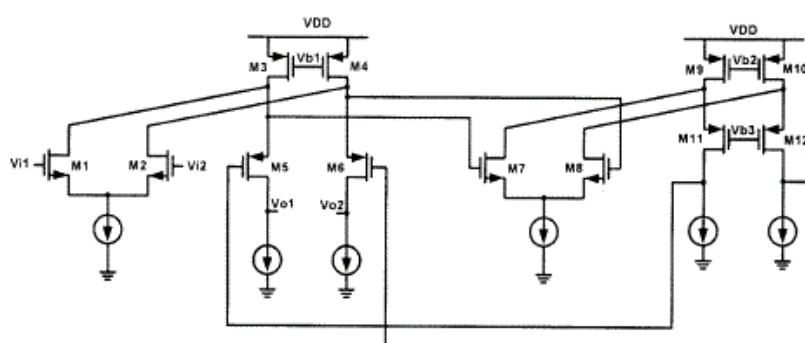
$$1024 (1)$$

$$1364 (2)$$

$$256 (3)$$

$$1280 (4)$$

-۲۳- در آپ آمپ شکل زیر، بهره ولتاژ فرکانس پایین مدار (نسبت $V_{O1} - V_{O2}$ به $V_{i1} - V_{i2}$) بر حسب ترا رسانایی (g_m) و مقاومت خروجی سیگنال کوچک (r_o) ترانزیستورها، به طور تقریبی برابر کدام است؟



$$g_{m1}(g_{m5}r_{o5}r_{o7}) (1)$$

$$g_{m1}(g_{m5}r_{o5}(r_{o7} \parallel r_{o1})) (2)$$

$$g_{m1}(g_{m5}r_{o5}r_{o7}) \times g_{m7}(g_{m11}r_{o11}r_{o9}) (3)$$

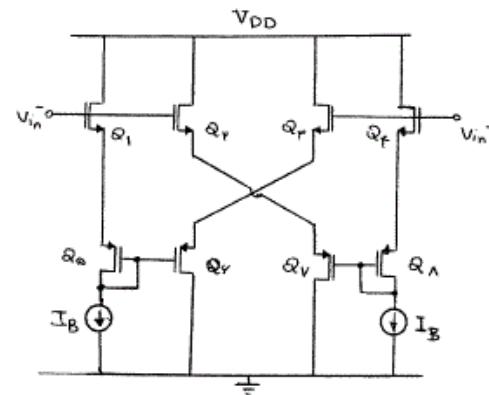
$$g_{m1}(g_{m5}r_{o5}(r_{o7} \parallel r_{o1})) \times g_{m7}(g_{m11}r_{o11}(r_{o9} \parallel r_{o7})) (4)$$

-۲۴ در مدار شکل زیر تمام ترانزیستورها در ناحیه اشباع بایاس شده‌اند. نسبت جریان ترانزیستور Q_3 به جریان I_B در حالت که ولتاژ ورودی صفر باشد، کدام است؟

$$\mu_n \cos x = 2\mu_p \cos x$$

$$\left(\frac{W}{L}\right)_{1,2,3,4,6,7} = X$$

$$\left(\frac{W}{L}\right)_{5,8} = \frac{1}{2}X$$



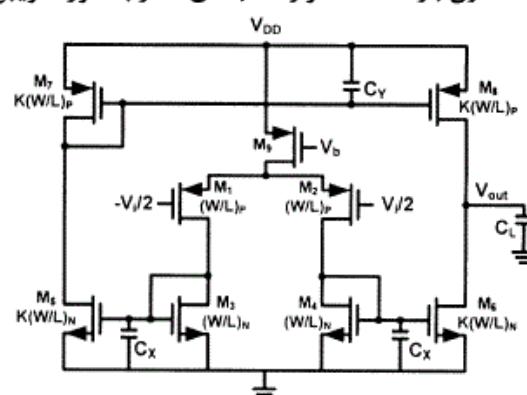
$$\frac{4}{3+2\sqrt{2}} \quad (2)$$

$$\frac{9}{3+2\sqrt{2}} \quad (4)$$

$$\frac{3}{3+2\sqrt{2}} \quad (1)$$

$$\frac{7}{3+2\sqrt{2}} \quad (3)$$

-۲۵ در مقدار تقویت کننده زیر، فرض کنید که ترارسانایی ترانزیستورهای M_1 و M_2 برابر g_{mP} و ترارسانایی ترانزیستورهای M_3 و M_4 برابر g_{mN} است. همچنین مقاومت خروجی سیگنال کوچک M_1 و M_2 برابر r_{op} و مقاومت خروجی M_3 و M_4 برابر r_{oN} است. C_Y و C_X نمایانگر خازنهای پارازیتی بوده و C_L خازن بار است. صفر و قطب‌های مدار به طور تقریبی عبارتنداز:



$$\omega_Z = \frac{g_{mP}}{C_Y} ; \text{ صفر} , \omega_{p1} = \frac{1}{(r_{oN} \parallel r_{op})C_L} , \omega_{p2} = \frac{g_{mN}}{C_X} , \omega_{p3} = \frac{k g_{mP}}{C_Y} : \text{ قطبها} \quad (1)$$

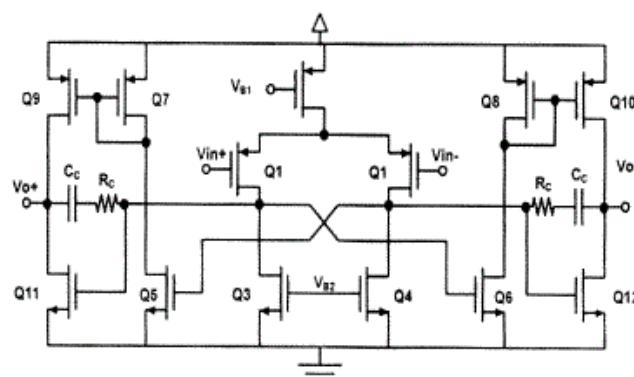
$$\omega_Z = \frac{\tau k g_{mP}}{C_Y} ; \text{ صفر} , \omega_{p1} = \frac{1}{(\frac{r_{oN}}{k} \parallel \frac{r_{op}}{k})C_L} , \omega_{p2} = \frac{g_{mN}}{C_X} , \omega_{p3} = \frac{k g_{mP}}{C_Y} : \text{ قطبها} \quad (2)$$

$$\omega_Z = \frac{2}{r_{op}C_Y} ; \text{ صفر} , \omega_{p1} = \frac{1}{(r_{oN} \parallel r_{op})C_L} , \omega_{p2} = \frac{1}{r_{oN}C_X} , \omega_{p3} = \frac{1}{r_{op}C_Y} : \text{ قطبها} \quad (3)$$

$$\omega_Z = \frac{\tau k}{r_{op}C_Y} ; \text{ صفر} , \omega_{p1} = \frac{1}{(\frac{r_{oN}}{k} \parallel \frac{r_{op}}{k})C_L} , \omega_{p2} = \frac{1}{r_{oN}C_X} , \omega_{p3} = \frac{k}{r_{op}C_Y} : \text{ قطبها} \quad (4)$$

-۲۶ در آپ امپ دو طبقه شکل زیر، با انتخاب مناسب R_C ، صفر ناشی از C_C با قطب $\frac{W}{L}$ ترانزیستور Q_9 و Q_7 خنثی شده است. اگر نسبت $\frac{W}{L}$ ترانزیستور Q_9 برابر ۴ و اندازه کل خازن خروجی آپ امپ 10 pF باشد، محل قطب دوم آپ امپ بر حسب $\frac{\text{Mrad}}{\text{s}}$ به کدام گزینه نزدیکتر است؟

$$g_{m11} = 1 \frac{\text{mA}}{\text{V}}$$



۴۰۰ (۲)

۵۰۰ (۱)

۱۰۰ (۴)

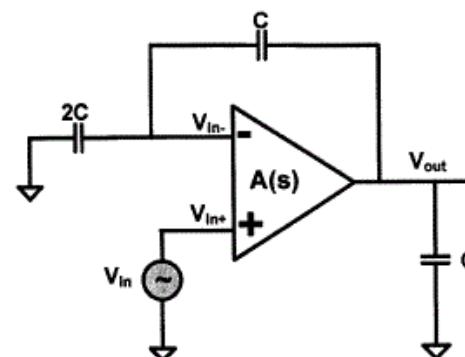
۲۰۰ (۳)

-۲۷ اگر تابع تبدیل $A(s)$ تقویت‌کننده با احتساب خازن‌های بار و فیدبک اعمال شده به شرح زیر باشد:

$$A(s) = \frac{V_{out}}{V_{in+} - V_{in-}} = \frac{3000}{1 + \frac{s}{k\text{rad}}} \frac{1000}{s}$$

ثابت زمانی (τ) تقویت‌کننده با فیدبک چند نانوثانیه است؟

[توجه: امپدانس ورودی تقویت‌کننده را ∞ فرض کنید.]



$\frac{1}{2}$ (۲)

$\frac{1}{3}$ (۱)

۳ (۴)

۱ (۳)

-۲۸ در مدار زیر برای آنکه حاشیه فاز به ازای فیدبک واحد 60° درجه باشد، مقدار

$$\frac{C_L}{C_C} \text{ به کدام گزینه نزدیک است؟}$$

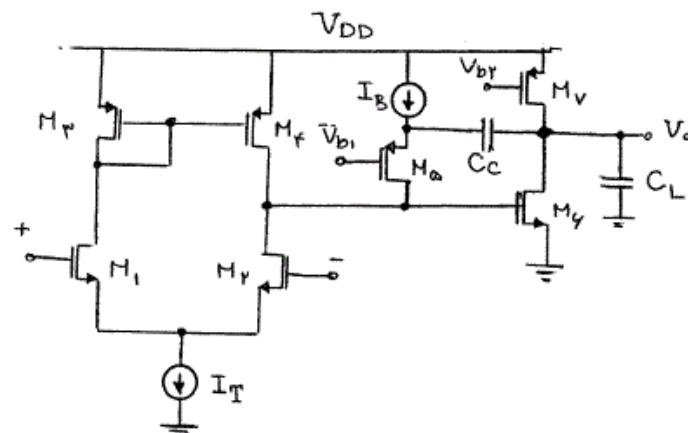
$$r_{oN} = 2r_{op} = 60\text{k}\Omega$$

$$g_{m1} = 10 g_{m5} = 1\text{mS}$$

$$g_{m6} = 0.5\text{mS}$$

$$\tan 30^\circ = \frac{1}{\sqrt{3}}$$

$$\tan 60^\circ = \sqrt{3}$$



$$\frac{\sqrt{3}}{3} (1)$$

$$\sqrt{3} (2)$$

$$\frac{\sqrt{3}}{2} (3)$$

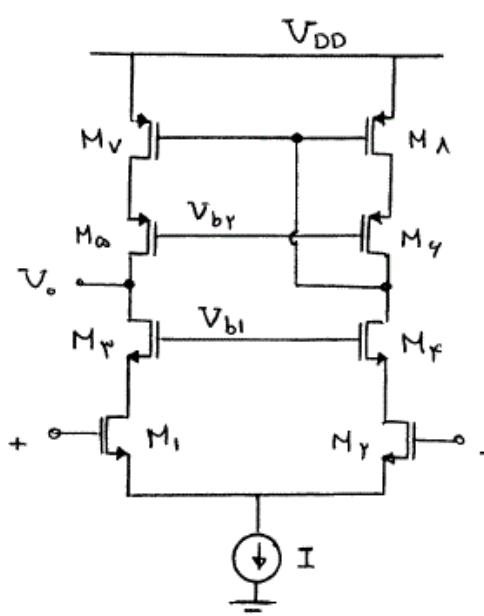
$$\frac{2}{\sqrt{3}} (4)$$

-۲۹ در مدار زیر با فرض صرفنظر از نویز $\frac{1}{f}$ ترانزیستور، اثر ولتاژ نویز M^3 در

ورودی چند برابر اثر ولتاژ نویز M^8 است؟

$$g_{m2} = 4g_{m4} = 4\text{mS}$$

$$r_{o1} = 20\text{k}\Omega$$



$$0.02 (1)$$

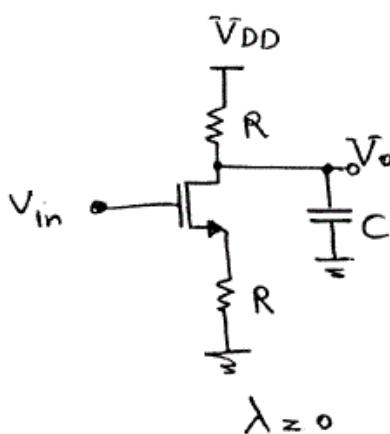
$$0.03 (2)$$

$$0.04 (3)$$

$$0.05 (4)$$

-۳۰- در مدار شکل زیر، ترانزیستور MOSFET در ناحیه اشباع بایاس شده است. اگر

ضریب تصحیح نویز ترانزیستور $\frac{2}{3}$ و اندازه g_m آن برابر $\frac{3}{R}$ باشد، اندازه ولتاژ نویز خروجی تقویت‌کننده کدام است؟



$$\frac{1}{2\sqrt{2}} \sqrt{\frac{KT}{C}} \quad (1)$$

$$\frac{3}{2\sqrt{2}} \sqrt{\frac{KT}{C}} \quad (2)$$

$$\frac{3}{\sqrt{2}} \sqrt{\frac{KT}{C}} \quad (3)$$

$$\frac{3}{2} \sqrt{\frac{KT}{C}} \quad (4)$$

$$\lambda = 0$$

-۳۱ رشد اکسید

۱) نقص داخل اکسید در حالت تر بیشتر از حالت CVD است.

۲) مرز با Si در حالت اکسید تر بهتر از حالت CVD است.

۳) مرز با Si در حالت CVD بهتر از حالت اکسید خشک است.

۴) درصد تغییر حجم در تبدیل Si به SiO_2 در حالت بخار آب بیشتر از حالت اکسید خشک است.

-۳۲ یک ویفر سیلیکون نوع P <۱۱۱> با ضخامت اولیه اکسید صفر تحت اکسیداسیون حرارتی به مدت ۱۰۰ دقیقه قرار می‌گیرد.

ضرایب ثابت رشد اکسید در درجه حرارت اکسیداسیون در دو ناحیه رشد خطی (Linear) و غیرخطی (Parabolic) به ترتیب

$$B = \frac{\mu\text{m}^2}{\text{hr}} \quad \text{و} \quad \frac{B}{A} = \frac{\mu\text{m}}{\text{hr}}$$

ناحیه‌ای از ویفر فوق، ضخات اکسید رشد یافته در این ناحیه چه مقداری می‌تواند داشته باشد؟

$$\text{tox}^\gamma + \text{Atox} = B(t + \tau)$$

۱) ضخامت اکسید در نواحی p و n^+ برابر $33\mu\text{m}$ است.

۲) ضخامت اکسید در نواحی p و n^+ برابر $38\mu\text{m}$ است.

۳) ضخامت اکسید در ناحیه p برابر $33\mu\text{m}$ و در ناحیه n^+ برابر $38\mu\text{m}$ است.

۴) ضخامت اکسید در ناحیه p برابر $38\mu\text{m}$ و در ناحیه n^+ برابر $33\mu\text{m}$ است.

-۳۳ کاشت یونی:

۱) عمق کاشت فقطتابع انرژی یون آمده است.

۲) کانال زدن یون در پلی Si کمتر از Si بیشتر است.

۳) کانال زدن یون در پلی Si بیشتر از Si کریستالی است.

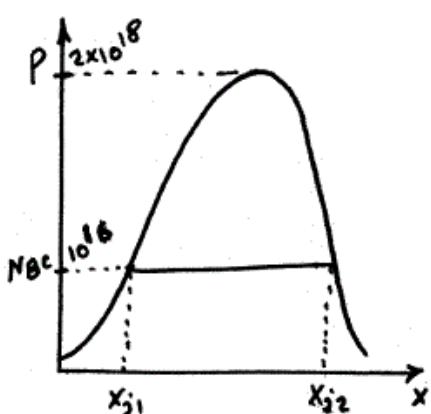
۴) برای دو یون با انرژی مساوی، یون سبک به عمق بیشتری می‌رود.

-۳۴ با روش کاشت یونی (Ion Implantation)، اتم‌های ناخالصی بوهر (B) درون نیمه هادی نوع n ($N_{BC} = 10^{16} \text{ cm}^{-3}$)

نشانده می‌شود. پروفایل کاشت به صورت زیر است:

$$N(x) = 2 \times 10^{18} \exp \left[\frac{-(X_j - 35\mu\text{m})^2}{1\mu\text{m}^2} \right]$$

عمق‌های نفوذی که ناخالصی کاشته شده از نظر میزان، مساوی ناخالصی ویفر سیلیسیمی بستر نوع n شود چند میکرومتر (μm) خواهد بود؟



$$X_{j1} = 12, X_{j2} = 58 \quad (1)$$

$$X_{j1} = 24, X_{j2} = 68 \quad (2)$$

$$X_{j1} = 5, X_{j2} = 1 \quad (3)$$

$$X_{j1} = 1/2, X_{j2} = 5/8 \quad (4)$$

-۳۵ در کاشت یونی یک ناخالصی در سیلیکون لایه اکسید با ضخامت 500 Å در مسیر یون‌ها وجود دارد. در انرژی بکار رفته در پروسه مقادیر R_P مربوط به سیلیکون و لایه اکسید به ترتیب $4 \mu\text{m}^0$ و $5 \mu\text{m}^0$ می‌باشد. محل ماکزیمم ناخالصی در

سیلیکون نسبت به سطح سیلیکون در چه عمقی بر حسب انگسترم (Å) است؟

- (۱) ۲۶۰۰
(۲) ۳۶۰۰
(۳) ۴۶۰۰

-۳۶ سیلیسیم درون محفظه پلاسمای حاوی کربن فلوراید زدوده می‌شود اگر درصد اکسیژن اضافه کنیم

- (۱) اندکی، زدایش همسانگرتر می‌شود.
(۲) زیادی، زدایش همسانگرتر می‌شود.
(۳) اندکی، آهنگ زدایش Si افزایش می‌یابد.
(۴) زیادی، آهنگ زدایش Si افزایش می‌یابد.

-۳۷ برای رشد لایه‌ای نازک به روش CVD، $k_S = 10^7 \frac{\text{cm}}{\text{sec}}$ و $h_G = 10 \frac{\text{cm}}{\text{sec}}$ محاسبه شده است. برای رشد لایه یکنواخت بر روی ویفرها در چنین سامانه‌ای گزینه مناسب کدام است؟

- (۱) دیواره سرد، قرص‌ها به صورت ایستاده
(۲) دیواره گرم، قرص‌ها به صورت خوابیده
(۳) دیواره سرد، قرص‌ها به صورت خوابیده

-۳۸ در مقایسه روش‌های لایه نشانی (Deposition) کدام مورد صحیح است؟

- (۱) لایه نشانی تحت پلاسما (PECVD) در دمای پایین انجام می‌گیرد.
(۲) لایه نشانی تحت پلاسما (PECVD) منجر به ایجاد لایه نازکتری می‌گردد.
(۳) در روش بخار نشانی (Evaporation) بهبود پوشش پله‌ای استفاده از پلاسما است.

-۳۹ (۴) مسیر متوسط آزادی (Mean free path) بزرگ‌تر می‌باشد.

-۴۰ در رابطه با انجام پروsesه دیفیوژن حرارتی بر روی قسمت مشخصی از سطح ویفر کدام یک از جملات زیر صحیح نیست؟

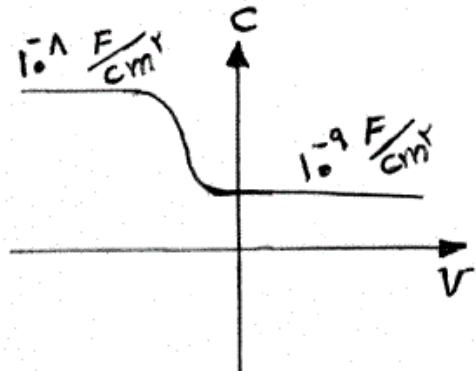
- (۱) در طول مرحله drive-in مقدار دانسیته ناخالصی روی سطح کاهش می‌یابد.
(۲) در طول مرحله Predisposition مقدار دانسیته ناخالصی روی سطح تغییر نمی‌کند.
(۳) با رشد اکسید و استفاده از ماسک مناسب دریچه موردنظر بر روی اکسید باز شده و سپس عمل دیفیوژن انجام می‌گیرد.
(۴) با واریز فتورزیست بر روی ویفر و استفاده از ماسک مناسب دریچه موردنظر بر روی فتورزیست باز شده و سپس عمل دیفیوژن انجام می‌گیرد.

-۴۱ در فرآیند ساخت کدام مورد صحیح است؟

- (۱) لایه ضخیم فتورزیست همواره مطلوب است.
(۲) لایه نازک فتورزیست همواره پاسخگو است.
(۳) ضخامت لایه فتورزیست با نوع فرآیند و مشخصات طرحواره (Layout) تعیین می‌گردد.
(۴) ضخامت فتورزیست همواره با ضخامت لایه اکسید و فیلم متال مرتبط است.

-۴۲ در یک آزمایش C-V بر روی ساختار MOS منحنی زیر بدست آمده است. نوع ناخالصی ویفر و ضخامت اکسید (بر حسب

$$(\text{cm}) \text{ کدام است؟ } (\frac{\text{F}}{\text{cm}}) = 3.5 \times 10^{-13} \text{ فریب دی الکتریک اکسید}$$



- (۱) نوع n، 3.5×10^{-5}
(۲) نوع p، 3.5×10^{-5}
(۳) نوع n، 3.5×10^{-4}
(۴) نوع p، 3.5×10^{-4}

- ۴۲- اندازه‌گیری زمان تولید حامل‌ها در نیمه هادی با اعمال ولتاژ حالت در انجام می‌گیرد.
- (۱) مستقیم - دیود Pn
 (۲) معکوس - دیود Pn
 (۳) وارونگی - خازن MOS
 (۴) تخلیه - خازن MOS
- ۴۳- لیتوگرافی نوری در حالت بهتر از حالت است چون
- (۱) Projection - Contact - خرابی ماسک کمتر است
 (۲) تصویر بهتر منتقل می‌شود.
 (۳) Resolution - Projection - Proximity بهتر است
 (۴) Resolution - Proximity - Projection بهتر است
- ۴۴- تشکیل اتصال اهمی با استفاده از
- (۱) بهتر از Al است چون مقاومت اتصال کمتر است.
 (۲) سیلیساید بهتر از Al است چون مقاومت اتصال کمتر است.
 (۳) تنگستن (W) باعث جلوگیری از نفوذ Al می‌شود.
 (۴) Al بهتر از استفاده از W است چون نفوذ فلز داخل نیمه هادی کمتر می‌شود.
- ۴۵- فرآیند ساخت یک تراشه CMOS، خود تطبیق (Self aligned) تا کاشت سورس، درین و ترمیم حرارتی آن‌ها پیش رفته است. مرحله بعد کدام است؟
- (۱) تشکیل سیلیساید
 (۲) تشکیل سیلیساید
 (۳) ایجاد حایل کناره گیت
 (۴) ایجاد متوقف کننده کانال (channel stop)