

196

F

نام :

نام خانوادگی :

محل امضاء :



صبح جمعه

۹۲/۱۲/۱۶

دفترچه شماره (۱)



جمهوری اسلامی ایران
وزارت علوم، تحقیقات و فناوری
سازمان سنجش آموزش کشور

اگر دانشگاه اصلاح شود مملکت اصلاح می‌شود.
امام خمینی (ره)

آزمون ورودی
دوره‌های دکتری (نیمه متمرکز) داخل
سال ۱۳۹۳

مهندسی کامپیوتر (۲)
معماری سیستم‌های کامپیوتری زمینه سخت‌افزار (کد ۲۳۵۵)

مدت پاسخگویی: ۱۵۰ دقیقه

تعداد سؤال: ۴۵

عنوان مواد امتحانی، تعداد و شماره سؤالات

ردیف	مواد امتحانی	تعداد سؤال	از شماره	تا شماره
۱	مجموعه دروس تخصصی (مدار منطقی - معماری کامپیوتر پیشرفته، VLSI پیشرفته)	۴۵	۱	۴۵

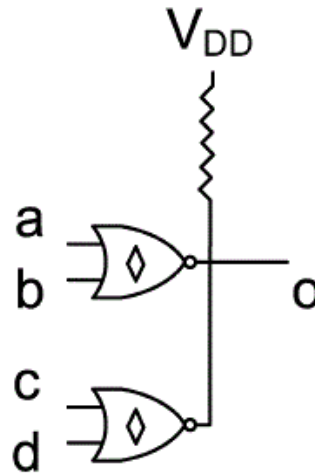
اسفندماه سال ۱۳۹۲

این آزمون نمره منفی دارد.

استفاده از ماشین حساب مجاز نمی‌باشد.

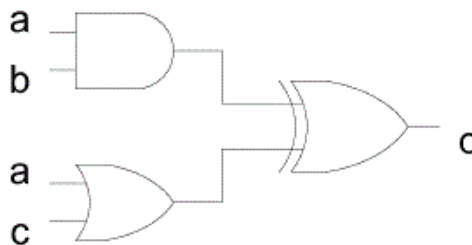
حق چاپ، تکثیر و انتشار سؤالات به هر روش (الکترونیکی و ...) پس از برگزاری آزمون، برای تمامی اشخاص حقیقی و حقوقی تنها با مجوز این سازمان مجاز می‌باشد و با متخلفین برابر مقررات رفتار می‌شود.

۱- در شکل زیر گیت‌های NOR از نوع open-drain (یا open-collector) هستند. این مدار کدام منطق را پیاده‌سازی می‌کند؟



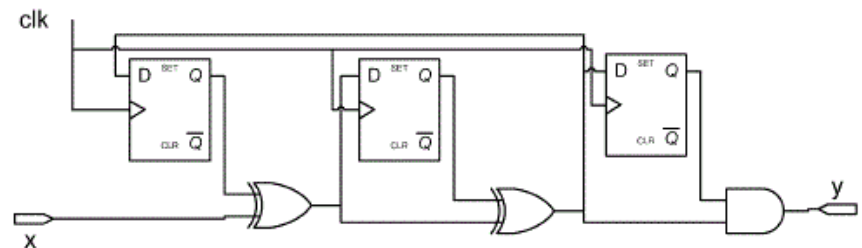
- (۱) خروجی مدار برابر NOR چهار ورودی مدار است.
 (۲) خروجی مدار برابر NAND چهار ورودی مدار است.
 (۳) خروجی مدار برابر NOR خروجی‌های گیت‌های NOR است.
 (۴) خروجی مدار برابر NAND خروجی‌های گیت‌های NOR است.

۲- برای مدار شکل زیر کدام گزار دلالیت بر این دارد که مدار دارای Static-zero Hazard است؟



- (۱) $abc: 011 \rightarrow 111$
 (۲) $abc: 111 \rightarrow 011$
 (۳) $abc: 010 \rightarrow 110$
 (۴) $abc: 001 \rightarrow 101$

۳- در مدار شکل زیر تاخیر فلیپ فلاپ‌ها برابر با ns ۵ و تاخیر گیت‌های منطقی برابر با ns ۲ است. کدام یک از گزینه‌ها نوع صحیح مدار و حداکثر مقدار ممکن Hold time را مشخص می‌کند؟



- (۱) مدار نوع Moore است و حداکثر مقدار Hold time برابر با ns ۷ است.
- (۲) مدار نوع Mealy است و حداکثر مقدار Hold time برابر با ns ۷ است.
- (۳) مدار نوع Mealy است و حداکثر مقدار Hold time برابر با ns ۱۱ است.
- (۴) مدار نوع Moore است و حداکثر مقدار Hold time برابر با ns ۱۱ است.

۴- تابع زیر دارای چند Prime Implicant است؟

$$f(a, b, c, d, e) = \sum m(0, 1, 2, 5, 6, 7, 10, 15, 16, 17, 18, 29, 30, 31) + d(8, 19, 20)$$

$$11 \quad (2) \quad 10 \quad (1)$$

$$13 \quad (4) \quad 12 \quad (3)$$

۵- برای پیاده‌سازی یک مدار ترکیبی که ورودی ۴ بیتی خود را در عدد ثابت ۵ ضرب کرده و در خروجی تحویل دهد چه تعداد واحد HA و FA نیاز است؟

- (۱) یک HA و سه FA
- (۲) یک FA و سه HA
- (۳) یک HA و چهار FA
- (۴) یک FA و چهار HA

۶- کدام گزینه در مورد Encoder صحیح نیست؟

(۱) نوع عادی آن دارای ورودی ممنوعه است و به همین دلیل دارای خروجی don't care است.

(۲) نوع اولویت دار آن دارای ورودی ممنوعه نیست و به همین دلیل خروجی don't care ندارد.

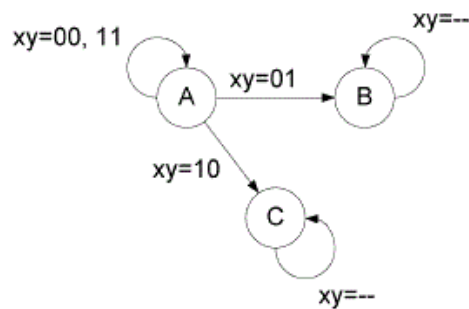
(۳) گاهی اوقات در طرح یک مدار می‌توان Encoder اولویت دار را با Encoder عادی جایگزین نمود.

(۴) در طرح هر مداری اگر Encoder عادی استفاده شده باشد می‌توان آن را با Encoder اولویت دار جایگزین کرد.

۷- یک مدار ترتیبی قرار است الگوی ۱۱۰۱ را (با اجازه همپوشانی) به صورت Moore و با استفاده از فلیپ فلاپ‌های نوع JK، شناسایی کند. برای طراحی این مدار نیاز به چند جدول کارنو با چه ابعادی است.

- (۱) هفت جدول کارنوی چهار متغیره
- (۲) چهار جدول کارنوی چهار متغیره
- (۳) سه جدول کارنوی چهار متغیره و یک جدول کارنوی سه متغیره
- (۴) شش جدول کارنوی چهار متغیره و یک جدول کارنوی سه متغیره

۸- مدار شکل زیر کدام عمل را انجام می دهد؟



- (۱) دو عدد ورودی X و Y را مقایسه می کند و بیت های پر ارزش باید زودتر از بیت های کم ارزش وارد مدار شوند.
- (۲) دو عدد ورودی X و Y را مقایسه می کند و بیت های پر ارزش باید دیرتر از بیت های کم ارزش وارد مدار شوند.
- (۳) مکمل یک بودن دو عدد X و Y را بررسی می کند و تفاوتی نمی کند که بیت های پر ارزش زودتر وارد شوند یا بیت های کم ارزش.
- (۴) مکمل یک بودن دو عدد X و Y را بررسی می کند و اگر بیت های پر ارزش زودتر وارد شوند خروجی را حالت B و اگر بیت های کم ارزش زودتر وارد شوند خروجی را حالت C تعیین می کند.

۹- کدام یک از واحدهای زیر یک مجموعه کامل از اعمال منطقی نیست؟ (توضیح اینکه مجموعه کامل از اعمال منطقی به عمل یا اعمالی می گوئیم که با استفاده از آنها بتوان هر عمل دیگر (هر مدار دیگری) را پیاده سازی نمود).

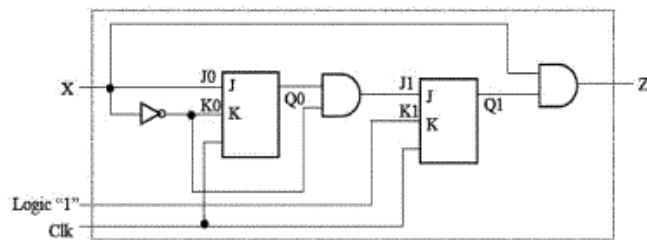
(۱) دیکودر

(۲) مالتی پلکسر

(۳) گیت NAND

(۴) نیم جمع کننده

۱۰- در مدار تشخیص رشته زیر، وقوع چه رشته ای در ورودی، خروجی را یک می کند؟



(۱) ۱۱۰

(۲) ۰۱۱۰

(۳) ۱۰۱

(۴) ۱۰۱۰

۱۱- عبارت SOP مینیمم برای تابع ۵ متغیره زیر کدام است؟

(۱) $A'CD + CD'E' + AC'D + A'E + ABCD'E$

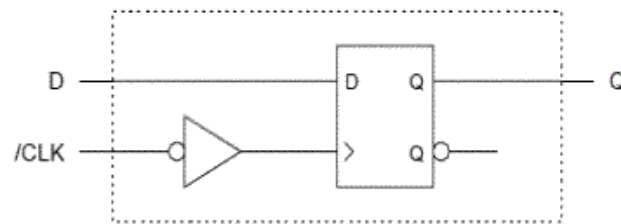
(۲) $A'CD + CD'E' + AC'D + A'B'E + ABCD'E$

(۳) $A'CD + C'D'E' + AC'D + A'B'C'E + ACD'E$

(۴) $A'CD + C'D'E' + AC'D + A'B'C'E + ABCD'E$

۱۲- مدار زیر یک فلیپ-فلاپ D حساس به لبه‌ی منفی پالس ساعت می‌باشد. برای این مدار، مقادیر زمان برپایی (t_s) و زمان نگهداری (t_h) کدام است؟ فرض کنید برای فلیپ-فلاپ D حساس به لبه‌ی مثبت پالس ساعت داریم: $t_h = 2$ و $t_s = 6$. همچنین، پارامترهای تأخیر گیت NOT به صورت مقابل است.

	حداکثر	حداقل
t_{pLH}	7	5
t_{pHL}	5	3



(۱) $t_h = 9 \text{ ns}$ و $t_s = 1 \text{ ns}$ (۲) $t_h = 5 \text{ ns}$ و $t_s = 6 \text{ ns}$

(۳) $t_h = 7 \text{ ns}$ و $t_s = 6 \text{ ns}$ (۴) $t_h = 2 \text{ ns}$ و $t_s = 9 \text{ ns}$

۱۳- فرض کنید در تابع n ورودی XORnY در صورت ۱ بودن حداقل یکی از ورودی‌ها خروجی ۱ شده و در غیر اینصورت، خروجی ۰ است. عبارت SOP مینیمم برای XOR4Y (WXYZ) کدام است؟

(۱) $XWY + Y'Z + W'Z + YZ$ (۲) $XWY + Y'Z + WZ + YZ$

(۳) $WY' + Y'Z + W'Z + YZ'$ (۴) $W'Y + XY'Z + W'Z + YZ'$

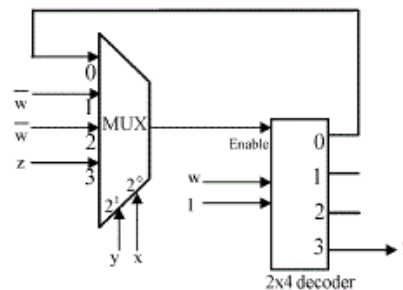
۱۴- خروجی f معادل کدام گزینه است؟

(۱) $\bar{w}x\bar{y} + \bar{w}y\bar{x} + xyz$

(۲) $\bar{w}x\bar{y} + \bar{w}y\bar{x} + wxyz$

(۳) $wxyz$

(۴) قابل تعیین نیست.



۱۵- برای ساخت یک decoder 5×32 می‌توان از:

(۱) یک decoder 3×8 و شش decoder 2×4 استفاده کرد.

(۲) یک decoder 3×8 و پانزده decoder 1×2 استفاده کرد.

(۳) یک decoder 4×16 و شش decoder 1×2 استفاده کرد.

(۴) یک decoder 4×16 و شش decoder 2×4 استفاده کرد.

۱۶- برای ساخت یک شمارنده آسنکرون n بیتی با قابلیت شمارش با لبه پایین رونده کلاک بایستی حداقل از

- (۱) n فلیپ فلاپ JK که با لبه بالا رونده کلاک عمل می کنند استفاده کرد.
- (۲) n فلیپ فلاپ JK که با لبه پایین رونده کلاک عمل می کنند استفاده کرد.
- (۳) n فلیپ فلاپ T که با لبه پایین رونده کلاک عمل میکنند و تعدادی گیت and استفاده کرد.
- (۴) n فلیپ فلاپ T که با لبه بالا رونده کلاک عمل میکنند و تعدادی گیت and استفاده کرد.

۱۷- برای ساخت یک شمارنده پیمانه ۱۲ حداکثر به n فلیپ فلاپ نوع x نیاز داریم.

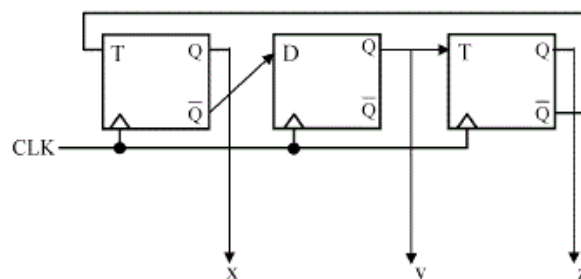
(۱) $x = JK, n = 4$

(۲) $x = T, n = 5$

(۳) $x = SR, n = 5$

(۴) هیچکدام

۱۸- با فرض حالت اولیه $xyz = 000$ در مدار زیر، پس از چند کلاک خروجی $xyz = 111$ ظاهر می شود؟



(۱) ۴

(۲) ۵

(۳) ۶

(۴) هیچکدام

۱۹- در تساوی زیر مقدار A برابر کدام است؟

$$(11011)_7 \cdot (101)_7 = (A)_{10}$$

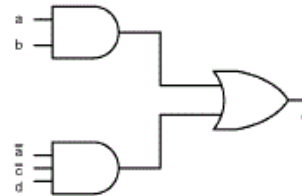
(۱) ۲۷/۵۱

(۲) ۲۷/۴۱

(۳) ۲۷/۳۱

(۴) ۲۷/۲۱

۲۰- برای محاسبه پیچیدگی (حجم سخت افزار) مدارهای منطقی یک روش رایج شمارش تعداد ورودی گیت‌ها است (لازم به ذکر است که همانطور که در شکل زیر دیده می‌شود معمولاً فرض بر این است که از هر ورودی اولیه‌ی مدار نقیض آن نیز موجود است و لذا برای ورودی‌های مدار گیت **not** قرار نمی‌دهند). به عنوان مثال مدار زیر دارای پیچیدگی ۷ است.



با استفاده از این روش محاسبه‌ی پیچیدگی کدام گزینه پیچیدگی یک واحد MUX به اندازه 2^n به ۱ را بیان می‌کند که بصورت یک مدار دو طبقه مبتنی بر SOP پیاده‌سازی شده است؟

(۱) $(n+2)2^n$ (۲) $2^n + 1$

(۳) $(2^n + 1)n$ (۴) $2^n + (n+1)n$

۲۱- حجم حافظه اصلی در یک کامپیوتر 2^{30} کلمه است و حجم حافظه نهان آن 2^{16} کلمه است که شامل بلوکهای ۶۴ کلمه‌ای است. طول فیلد tag حافظه نهان حداقل m و حداکثر M است. کدام گزینه مقدار صحیح m و M را نشان می‌دهد؟

(۱) $M = 22, m = 8$ (۲) $M = 24, m = 8$

(۳) $M = 22, m = 14$ (۴) $M = 24, m = 14$

۲۲- تعداد مسیرهای متفاوت بین دو گره $(5, 7)$ و $(2, 3)$ در یک شبکه توری (mesh) 10×10 و تعداد مسیرهای متفاوت بین دو گره 1011101 و 1100100 در یک شبکه فوق مکعب ۷ بعدی به ترتیب (راست به چپ) چیست؟

(۱) ۲۴ و ۳۵ (۲) ۳۵ و ۱۲۰

(۳) ۲۴ و ۳۸ (۴) ۳۸ و ۱۲۰

۲۳- در یک پردازنده خط لوله ای تعداد سطوح واکنشی و اجرای دستور جمعا ۶ سطح است. اگر بطور متوسط از هر ۱۰ دستور مورد اجرای برنامه ۱ دستور پرش شرطی باشد، حداقل تسریع s و حداکثر تسریع S قابل احتصال در اجرای برنامه (نسبت به پردازنده معادل غیر لوله ای) برابر است با:

(۱) $S < 6, s < 4$ (۲) $S = 6, s < 4$

(۳) $S < 6, s = 4$ (۴) $S = 6, s = 4$

۲۴- در یک پیش بینی کننده دو بیتی پرش از نوع Gag(3)، حجم حافظه PHT (Pattern History Table) و محتوای BHR (Branch History Register) پس از اجرای یک حلقه ساده (داخل حلقه دستور انتقال کنترل نداریم) با تعداد تکرار ۱۰۰ برابر است با:

(۱) ۶۴ بیت، ۱۱۰ (۲) ۱۶ بیت، ۱۱۰

(۳) ۳۲ بیت، ۱۱۱۱۱۱۱۰ (۴) ۱۲۸ بیت، ۱۱۱۱۱۱۱۰

۲۵- کدام گزینه در مورد روشهای سوئیچینگ در چند کامپیوترهای **message passing** صحیح است:

- ۱) روش **Store & Forward** برای شبکه های با قطر بزرگ مناسب است.
- ۲) کارایی روش **VCT** و روش **wormhole** در ترافیک سنگین تقریباً یکسان است.
- ۳) کارایی روش **VCT** و روش **wormhole** در ترافیک سبک تقریباً یکسان است.
- ۴) امکان استفاده از کانال مجازی در روشهای **VCT** و **wormhole** وجود دارد اما در روش **Store & Forward** وجود ندارد.

۲۶- خط لوله **A** برای محاسبه تابع f با تعداد سطوح 2^0 و فرکانس ساعت 1 GHz و خط لوله **B** برای محاسبه تابع g با تعداد سطوح 3^0 و فرکانس ساعت 1 GHz مفروضند. قرار است پردازش برداری $D \leftarrow f(g(S))$ که در آن **S** و **D** دو بردار 1000 عنصری هستند را انجام دهیم. با فرض زنجیر کردن دو خط لوله زمان اجرای این پردازش برداری چند نانوثانیه است؟

۱) 1048 (۱)

۲) 1049 (۲)

۳) 2048 (۳)

۴) 2049 (۴)

۲۷- کدام گزینه در مورد قانون آمدال (**Amdahl**) صحیح است؟

- ۱) مقدار تسریع قابل احتصال در اجرای یک برنامه بصورت موازی محدودیت ندارد.
- ۲) این قانون اثبات میکند که بکارگیری پردازش موازی تسریع مورد انتظار را حاصل نمی کند.
- ۳) این قانون علاوه بر مدل بار کاری تک برنامه برای مدلهای کاری مبتنی بر تعداد نامحدود برنامه نیز صادق است.
- ۴) طبق این قانون سقف تسریع قابل احتصال با توجه به درصدی از کد برنامه که بایستی بصورت سریال اجرا شود مشخص می شود.

۲۸- در یک چند کامپیوتر با توپولوژی شبکه فوق مکعب 10 بعدی، تعداد گره های شبکه، قطر شبکه، و تعداد همسایه هر گره به ترتیب برابرند با:

۱) $10, 9, 1024$ (۱)

۲) $10, 10, 1024$ (۲)

۳) $9, 10, 2048$ (۳)

۴) $10, 10, 2048$ (۴)

۲۹- سیستم پردازش خط لوله ای **A** با 4 سطح (زمان عملکرد سطوح به ترتیب $25, 20, 30$ و 25 نانو ثانیه) را بصورت **4-way superscalar** به سیستم **B** تبدیل میکنیم که در آن سطوح اول، دوم، سوم و چهارم به ترتیب شامل $4, 5, 6$ و 5 زیر سطح هریک با تاخیر عملکرد 5 نانوثانیه هستند. حداکثر تسریع قابل احتصال برای پردازش 1000 ورودی توسط سیستم **B** نسبت به سیستم **A** تقریباً برابر است با:

۱) 14 (۱)

۲) 13 (۲)

۳) 6 (۳)

۴) 4 (۴)

۳۰- کدام گزینه در مورد وابستگی داده‌ای بین دستورات داخل خط لوله صحیح است؟
 (۱) وابستگی read-after-write وابستگی واقعی (true dependency) و وابستگی write-after-read و write-after-write وابستگی غیرواقعی (false dependency) هستند.
 (۲) تاخیرهای ایجاد شده بواسطه وابستگی داده ای بین دستورات را می‌توان به کمک internal forwarding بطور کامل رفع کرد.
 (۳) وابستگی واقعی را می‌توان با register renaming از بین برد.
 (۴) هر سه گزینه صحیح هستند.

۳۱- اگر درصدی از کد برنامه $P_i, i = 1, 2, \dots, M$ که میتواند توسط j پردازنده بطور موازی اجرا شود را $f_{j,i}, (j = 1, 2, \dots, N)$ بگیریم، حداکثر تسریع قابل احتمال برای اجرای هر یک از این برنامه ها روی یک چندپردازنده متشکل از N پردازنده (نسبت به سیستم تک پردازنده) برابر است با:

$$1 / \sum_{j=1}^N \sum_{i=1}^M \frac{f_{j,i}}{i} \quad (۱)$$

$$\text{Max} \left\{ 1 / \sum_{j=1}^N \frac{f_{j,i}}{j} \right\}_{i=1,2,\dots,M} \quad (۲)$$

$$1 / \text{Min} \left\{ \sum_{j=1}^N \frac{f_{j,i}}{j} \right\}_{i=1,2,\dots,M} \quad (۳)$$

$$1 / \text{Max} \left\{ 1 / \sum_{j=1}^N \frac{f_{j,i}}{i} \right\}_{i=1,2,\dots,M} \quad (۴)$$

۳۲- سیستم چندکامپیوتری A با توپولوژی شبکه torus سه بعدی با ابعاد $۱۶ \times ۸ \times ۸$ و سیستم چندکامپیوتری B با توپولوژی شبکه فوق مکعب ۱۰ بعدی را در نظر بگیرید. قطر شبکه A را d_A ، قطر شبکه B را d_B ، تعداد گره های شبکه A را N_A ، تعداد گره‌های شبکه B را N_B ، تعداد کانال های شبکه A را E_A ، و تعداد کانال‌های شبکه B را E_B فرض کنید. کدام گزینه در مورد این دو شبکه صحیح است:

$$d_B = ۱۰, E_B = ۱۰ N_B, N_A < N_B \quad (۱)$$

$$d_A = ۱۳, E_B = ۳۰۰۰, N_A > N_B \quad (۲)$$

$$d_A = ۱۶, E_B = ۵ N_A, E_A = ۳۰۰۰ \quad (۳)$$

$$d_B = ۱۱, E_B = ۱۰ N_A, E_B = ۶۰۰۰ \quad (۴)$$

۳۳- اگر مجموعه متغیرهای ورودی پردازنده‌های P_1 ، P_2 و P_3 به ترتیب I_1 ، I_2 و I_3 و مجموعه متغیرهای خروجی آنها به ترتیب O_1 ، O_2 و O_3 باشند و داشته باشیم:

$I_1 \cap O_2 = \emptyset$	$I_1 \cap O_3 = \emptyset$	$O_1 \cap O_2 = \emptyset$	$I_2 \cap O_3 = \emptyset$	$I_2 \cap I_3 = \emptyset$
$O_1 \cap O_3 = \emptyset$	$O_1 \cap I_2 = \emptyset$	$I_1 \cap I_3 = \emptyset$	$I_1 \cap I_2 = \emptyset$	$O_2 \cap O_3 = \emptyset$

آنگاه کدام پردازنده‌ها می‌توانند بدون هیچگونه نگرانی به طور موازی اجرا شوند؟

(۱) P_2 یا P_1

(۲) P_3 یا P_1

(۳) P_3 یا P_2

(۴) هر سه گزینه فوق صحیح است.

۳۴- کدام گزینه برای پیاده‌سازی رویه‌های $lock(x)$ و $unlock(x)$ در یک محیط چند پردازنده با حافظه مشترک صحیح است. دستورات Clr ، Set ، $addr$ ، TAR ، $addr$ به صورت $atomic$ اجرا می‌شوند؟

$TAR \text{ addr} \equiv \begin{cases} \text{if } (addr) = 0 \text{ then } ZF = 1; \\ \text{addr} \leftarrow 0; \end{cases}$

$Set \text{ addr} \equiv \{ \text{addr} \leftarrow 1; \}$

$Clr \text{ addr} \equiv \{ \text{addr} \leftarrow 0; \}$

$Jz \text{ addr} \equiv \text{if } ZF = 1 \text{ then } PC \leftarrow \text{addr};$

$Jnz \text{ addr} \equiv \text{if } ZF = 0 \text{ then } PC \leftarrow \text{addr};$

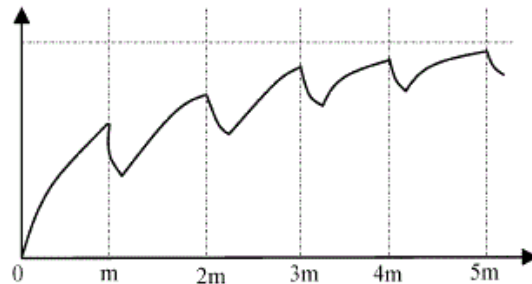
$Unlock(x): Set \ x$ و $Lock(x): lab: TAR \ x$
 $Jz \ lab$ (۱)

$Unlock(x): Clr \ x$ و $Lock(x): lab: TAR \ x$
 $Jnz \ lab$ (۲)

$Lock(x): lab: Set \ x$
 $Unlock(x): Set \ x$ و $TAR \ x$ (۳)
 $Jnz \ lab$

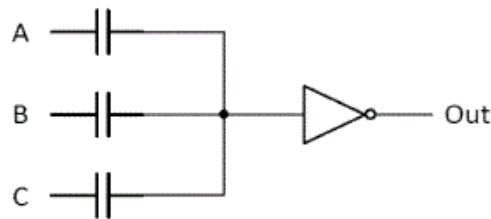
$Lock(x): lab: Clr \ x$
 $Unlock(x): Clr \ x$ و $TAR \ x$ (۴)
 $Jz \ lab$

۳۵- نمودار زیر تسریع حاصل از اجرای یک دستور برداری در یک کامپیوتری برداری را نشان میدهد (در مقایسه با کامپیوتر غیربرداری). کدام گزینه صحیح است؟



- (۱) این کامپیوتر برداری از معماری memory-memory (با بانک حافظه، m و تعداد سطوح خط لوله متناسب با k است.
- (۲) این کامپیوتر برداری از معماری memory-memory (با بانک حافظه، k و تعداد سطوح خط لوله متناسب با m است.
- (۳) این کامپیوتر برداری از معماری register-register (با طول ثابت برداری m اسکالر)، و تعداد سطوح خط لوله متناسب با k است.
- (۴) این کامپیوتر برداری از معماری register-register (با طول ثابت برداری k اسکالر)، و تعداد سطوح خط لوله متناسب با m است.

۳۶- معکوس کننده مقابل در $V_{DD} / 2$ تغییر حالت می دهد. تابع خروجی out کدام است؟



(۲) $\overline{A+B+C}$

(۱) $\overline{A.B.C}$

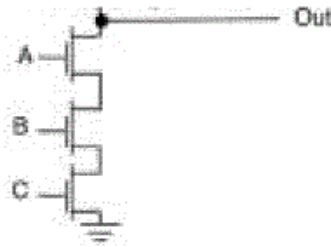
(۴) $\overline{AB+AC+BC}$

(۳) $\overline{AB} + \overline{AC} + \overline{BC}$

۳۷- می دانیم با کاهش ابعاد فناوری ساخت، توان نشتی افزایش می یابد. کدام گزینه در مورد علت این پدیده صحیح نمی باشد؟

- (۱) به دلیل کاهش ولتاژ آستانه، توان زیر آستانه (sub-threshold) افزایش می یابد.
- (۲) به دلیل کم شدن قطر اکسید گیت، توان نشتی گیت به بستره (سابستریت) افزایش می یابد.
- (۳) به دلیل کم شدن فاصله بین درین و سورس، توان نشتی زیر آستانه (sub-threshold) افزایش می یابد.
- (۴) به دلیل کم شدن فاصله بین درین و سورس، توان نشتی درین به بستره (سابستریت) افزایش می یابد.

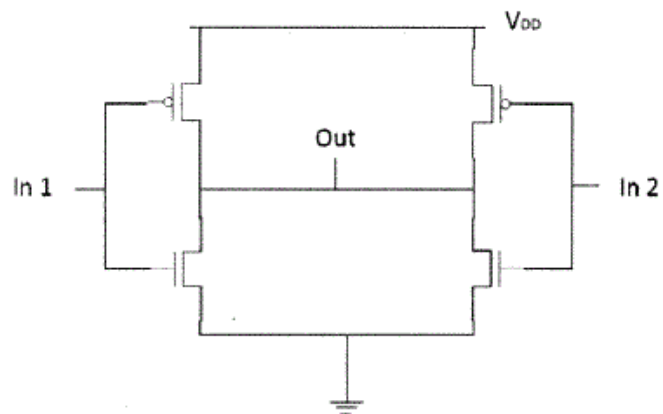
۳۸- ساختار ترانزیستوری مقابل را در نظر بگیرید. فرض کنید یکی از سیگنال‌های کنترل‌کننده ترانزیستورهای nmos سریع‌تر از سیگنال‌های دیگر یک می‌شود. در مورد اعمال سیگنال‌ها چه می‌توان گفت؟



- ۱) بهتر است سیگنالی که سریع‌تر یک می‌شود به ترانزیستور میانی اعمال گردد تا سریع‌تر تغییر حالت دهد.
- ۲) بهتر است سیگنالی که سریع‌تر یک می‌شود به ترانزیستور متصل به زمین اعمال گردد تا اثر بدنه کاهش یابد.
- ۳) بهتر است سیگنالی که سریع‌تر یک می‌شود به ترانزیستور متصل به خروجی اعمال گردد تا اشتراک بار کاهش یابد.
- ۴) تفاوتی نمی‌کند که کدام سیگنال به کدام ترانزیستور اعمال شود.

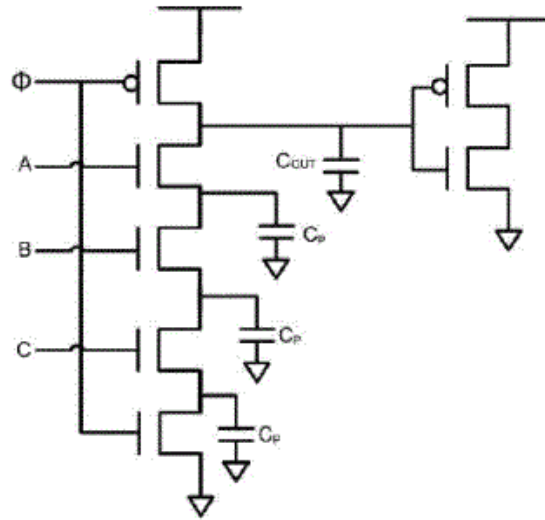
۳۹- خروجی out چه نوع منطق سیمی (wired logic) ایجاد می‌کند؟

بسته به میزان نسبت $(\frac{W}{L})$ بالابر به پایین‌بر:



- ۱) wired AND
- ۲) wired OR
- ۳) ولتاژ نامشخص
- ۴) هر یک از سه مورد

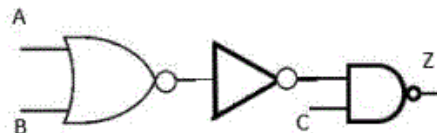
۴۲- اندازه خازن C_{OUT} رابه گونه‌ای تعیین کنید که مدار دومینوی مقابل به ازای همه ورودی‌های ممکن به درستی کار کند؟



(در معکوس کننده) $V_{th} = 3V$, $V_{dd} = 5V$, $C_p = 0.4 pF$

- (۱) کوچکتر از $0.6 pF$
- (۲) بزرگتر از $0.6 pF$
- (۳) کوچکتر از $1.2 pF$
- (۴) بزرگتر از $1.2 pF$

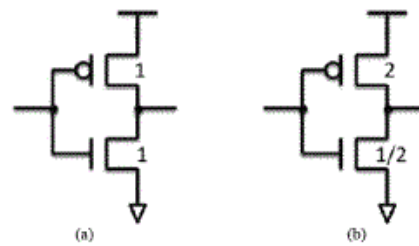
۴۳- برای مدار مقابل، ضریب فعالیت گره Z را تعیین کنید. فرض کنید:



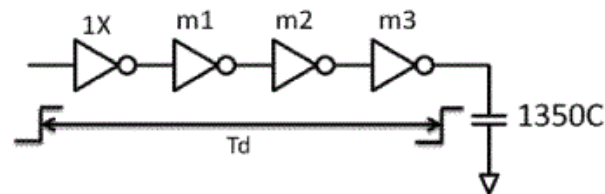
$$P(A = 1) = P(B = 1) = P(C = 1) = 0.5$$

- (۱) $\frac{15}{64}$
- (۲) $\frac{3}{16}$
- (۳) $\frac{1}{8}$
- (۴) $\frac{1}{4}$

۴۴- فرض کنید دو وارونگر شکل a و b موجود است و می‌دانیم که $\mu_n = 2\mu_p$. برای کمینه شدن تاخیر T_d در گذر صفر به یک ورودی در شکل زیر، تلاش الکتریکی m_2 چقدر خواهد بود؟ (منظور از تلاش الکتریکی نسبت خازن خروجی به خازن ورودی گیت است).
(C) خازن ورودی یک وارونگر واحد است. وارونگر اول وارونگر واحد است.



- ۵ (۱)
- ۶ (۲)
- ۷/۵ (۳)
- ۸ (۴)



۴۵- در یکی از مدل‌های تأخیر، تأخیر انتشار یک گیت با $k_{dt} \cdot V_{DD} / (V_{DD} - V_T)^2$ متناسب است که در آن پارامتری وابسته به تکنولوژی و طراحی می‌باشد. به ازای چه مقداری از V_{DD} حاصل ضرب انرژی در تأخیر (EDP) کمینه خواهد شد؟ (V_T و C_L به ترتیب ولتاژ آستانه ترانزیستور و خازن بار هستند).

- (۱) $V_{DD} = 2/5 V_T$
- (۲) $V_{DD} = 3 V_T$
- (۳) $V_{DD} = V_T C_L$
- (۴) قابل محاسبه نیست.