پی اچ دی تست؛ نخستین وب سایت تخصصی آزمون دکتری

کد کنترل
527
A

527A

آزمون ورودی دورهٔ دکتری (نیمه‌متمرکز) ــ سال ۱۴۰۰

«اگر دانشگاه اصلاح شود مملکت اصلاح می‌شود.»
امام خمینی (ره)

دفترچهٔ شمارهٔ (۱)
صبح جمعه
۹۹/۱۲/۱۵

جمهوری اسلامی ایران
وزارت علوم، تحقیقات و فنّاوری
سازمان سنجش آموزش کشور

رشتهٔ مهندسی کامپیوتر ــ معماری ــ (کد ۲۳۵۵)

تعداد سؤال: ۴۵ — مدت پاسخ‌گویی: ۱۵۰ دقیقه

عنوان مواد امتحانی، تعداد و شمارهٔ سؤالات

ردیف	مواد امتحانی	تعداد سؤال	از شمارهٔ	تا شمارهٔ
۱	مجموعه دروس تخصصی: ــ مدار منطقی و معماری کامپیوتر ــ معماری کامپیوتر پیشرفته ــ VLSI پیشرفته	۴۵	۱	۴۵

این آزمون نمرهٔ منفی دارد.

استفاده از ماشین‌حساب مجاز نیست.

حق چاپ، تکثیر و انتشار سؤالات به هر روش (الکترونیکی و...) پس از برگزاری آزمون، برای تمامی اشخاص حقیقی و حقوقی تنها با مجوز این سازمان مجاز می‌باشد و با متخلفین برابر مقررات رفتار می‌شود.

آخرین اخبار و اطلاعات آزمون دکتری در وب سایت پی اچ دی تست

پی اچ دی تست؛ نخستین وب سایت تخصصی آزمون دکتری

❋ داوطلب گرامی، عدم درج مشخصات و امضا در مندرجات جدول ذیل، به‌منزلهٔ عدم حضور شما در جلسهٔ آزمون است.

اینجانب ..... با شمارهٔ داوطلبی ..... با آگاهی کامل، یکسان‌بودن شمارهٔ صندلی خود را با شمارهٔ داوطلبی مندرج در بالای کارت ورود به جلسه، بالای پاسخ‌نامه و دفترچهٔ سؤالات، نوع و کد کنترل درج شده بر روی دفترچهٔ سؤالات و پائین پاسخ‌نامه‌ام را تأیید می‌نمایم.

امضا:

۱- برای پیاده‌سازی تابع $F(A,B,C)=\Sigma m(0,1,2)+\Sigma d(4,6,7)$ با استفاده از یک دیکودر ۳ به ۸، کمترین تعداد گیت ۲- ورودی مورد نیاز (علاوه بر دیکودر) چه تعدادی است؟

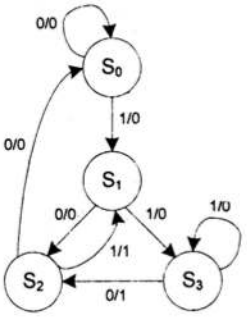
۱) ۱
۲) ۲
۳) ۳
۴) ۴

۲- در تابع زیر چند Hazard (مخاطره) ایستا وجود دارد؟

$$f(a,b,c,d)=bd+\bar{a}\bar{b}\bar{c}+ac\bar{d}$$

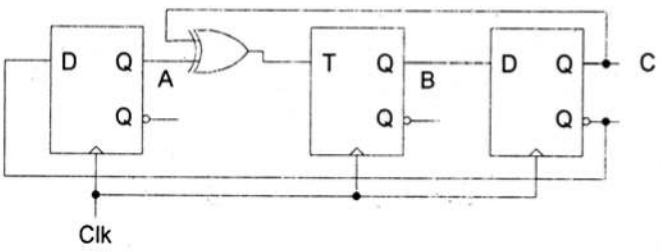
۱) ۱
۲) ۲
۳) ۳
۴) ۴

۳- نمودار حالت زیر را در نظر بگیرید. این مدار دارای یک ورودی یک بیتی x و یک خروجی یک بیتی y است. اگر دنبالهٔ 11010110101 به این مدار اعمال شود (ابتدا بیت سمت چپ)، خروجی y چند بار 1 خواهد شد؟



۱) ۳
۲) ۴
۳) ۵
۴) ۶

۴- اگر در شروع کار همه فلیپ فلاپ‌ها Clear شوند، مدار پس از ۷ لبهٔ بالارونده CLK چه عددی را نشان می‌دهد؟ (خروجی مدار را ABC در نظر بگیرید.)



۱) ۰
۲) ۴
۳) ۵
۴) ۶

آخرین اخبار و اطلاعات آزمون دکتری در وب سایت پی اچ دی تست

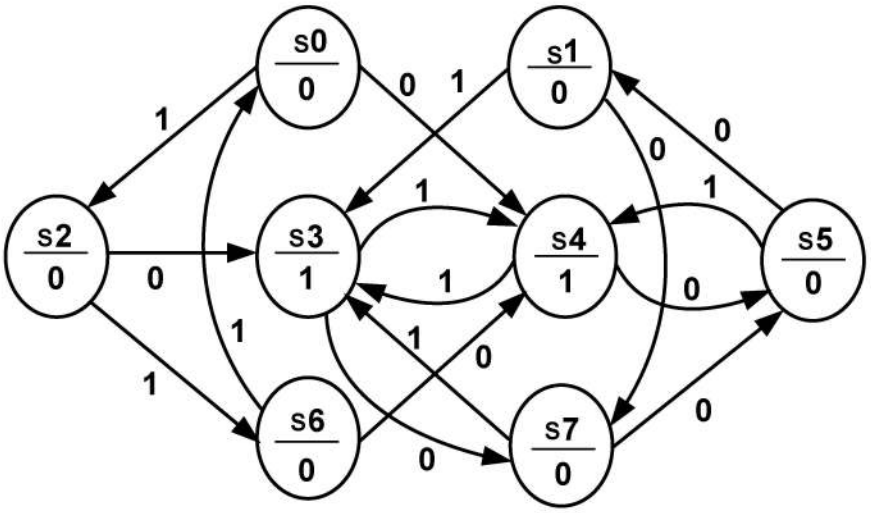
پی اچ دی تست؛ نخستین وب سایت تخصصی آزمون دکتری

۵- با فرض در اختیار داشتن ورودی‌های اصلی و نقیض آن‌ها، حداقل تعداد گیت مورد نظر برای پیاده‌سازی عادی و بدون مخاطره (hazard-free) تابع زیر به‌ترتیب کدام است؟

$$F(A,B,C,D)=\Sigma m(۲,۳,۶,۹,۱۰,۱۳,۱۵)+\Sigma d(۰,۱۲,۱۴)$$

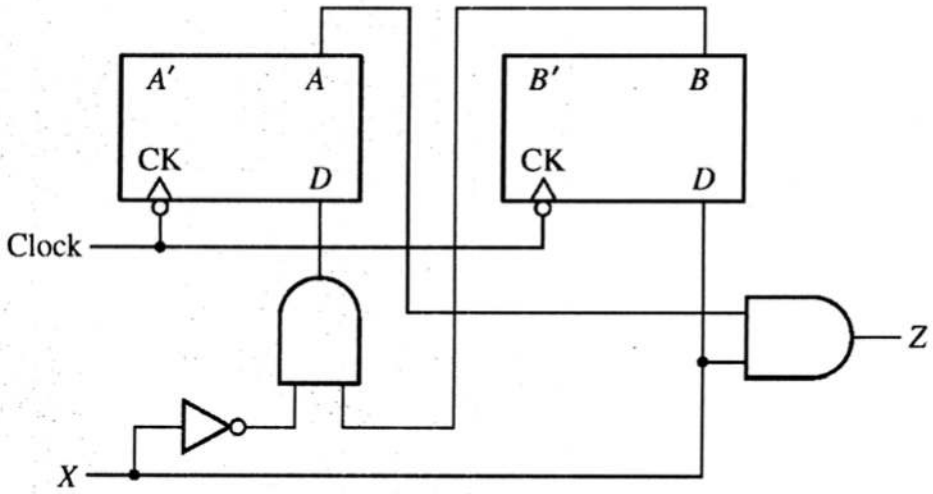
۱) ۵ و ۵
۲) ۵ و ۹
۳) ۶ و ۸
۴) ۹ و ۱۰

۶- نمودار حالت زیر پس از ساده‌سازی کامل، چند حالت خواهد داشت؟



۱) ۳
۲) ۴
۳) ۵
۴) ۶

۷- اگر بدانید که مدار زیر یک sequence detector است، کدام گزینه در مورد این مدار درست است؟

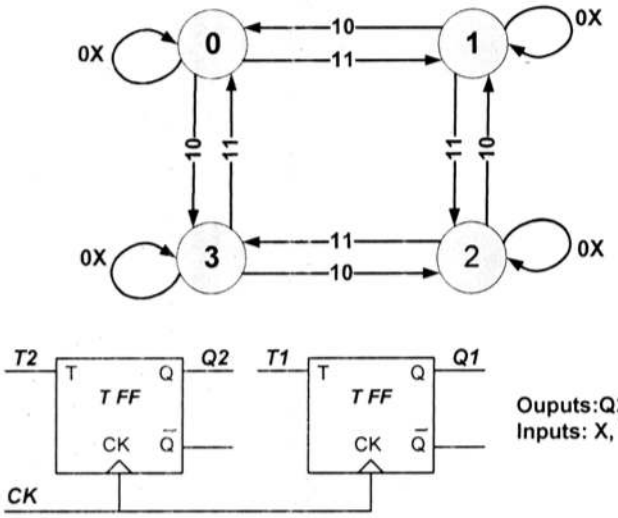


۱) این مدار می‌تواند توالی ۰۱۰ را با در نظر گرفتن هم‌پوشانی (overlapping) شناسایی کند.
۲) این مدار می‌تواند توالی ۱۰۱ را با در نظر گرفتن هم‌پوشانی (overlapping) شناسایی کند.
۳) این مدار می‌تواند توالی ۱۰۱ را بدون در نظر گرفتن هم‌پوشانی (overlapping) شناسایی کند.
۴) این مدار می‌تواند توالی ۰۱۰ را بدون در نظر گرفتن هم‌پوشانی (overlapping) شناسایی کند.

آخرین اخبار و اطلاعات آزمون دکتری در وب سایت پی اچ دی تست

پی اچ دی تست؛ نخستین وب سایت تخصصی آزمون دکتری

۸- نمودار حالت یک مدار ترتیبی همگام به شکل زیر است. اگر بخواهیم مدار را مطابق شکل با دو TFF تحقق دهیم، معادلات ورودی فلیپ‌فلاپ‌ها کدام است؟



۱) $T2 = X.Y'(Q1 \text{ XNOR } Q2) + XY(Q1 \text{ XOR } Q2)\ ,\ T1 = X$

۲) $T1 = X.Y'(Q1 \text{ XNOR } Q2) + XY(Q1 \text{ XOR } Q2)\ ,\ T2 = X$

۳) $T1 = Q1.X.Y + Q1'.X.Y'\ ,\ T2 = X$

۴) $T2 = Q1.X.Y + Q1'.X.Y'\ ,\ T1 = X$

۹- مجموعه معادلات زیر نشان‌دهندهٔ معادلات ورودی یک مدار همگام با سه فلیپ‌فلاپ است. اگر خروجی مدار برابر با خروجی فلیپ‌فلاپ‌ها باشد و به‌صورت ABC نمایش داده شود، کدام گزینه درست است؟

$T_A = B \text{ XNOR } C$

$T_B = A \text{ XNOR } B$

$T_C = ۱$

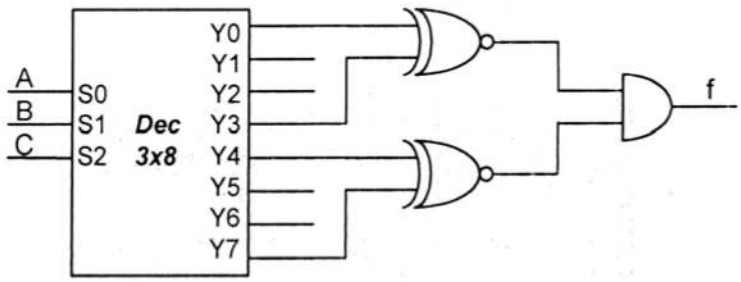
۱) این مدار سیکل ۱,۲,۳,۴,۵,۶ را می‌شمارد و خودآغاز (Self-start) است.

۲) این مدار سیکل ۱,۲,۳,۶,۵,۴ را می‌شمارد و خودآغاز (Self-start) است.

۳) این مدار سیکل ۱,۲,۳,۶,۵,۴ را می‌شمارد و خودآغاز (Self-start) نیست.

۴) این مدار سیکل ۱,۲,۳,۴,۵,۶ را می‌شمارد و خودآغاز (Self-sart) نیست.

۱۰- تابع خروجی مدار شکل زیر، معادل کدام گزینه است؟



۱) $(A \oplus C)'$

۲) $(B \oplus C)'$

۳) $A \oplus B$

۴) $B \oplus C$

۱۱- کدگذاری Booth برای عملوند Multiplier مکمل دو ۱۱۰۱۰۰۱۱۱۱ در کدام مورد صحیح است؟

۱) $۰-۱+۱-۱۰+۱۰۰۰-۱$

۲) $۰+۱-۱+۱۰-۱۰۰۰+۱$

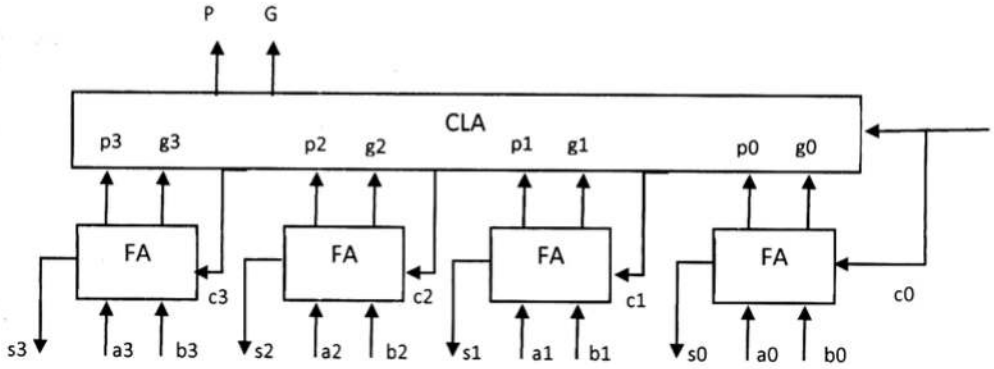
۳) $+۱۰-۱+۱-۱۰+۱۰۰۰-۱$

۴) $-۱۰+۱-۱+۱۰-۱۰۰۰+۱$

آخرین اخبار و اطلاعات آزمون دکتری در وب سایت پی اچ دی تست

پی اچ دی تست؛ نخستین وب سایت تخصصی آزمون دکتری

۱۲- در شکل زیر یک جمع‌کننده چهار بیتی به همراه واحد Carry Lookahead (CLA) نشان داده شده است. اگر این واحد صرفاً به‌عنوان افزایش‌دهنده استفاده شود (اضافه کردن ۱ به ورودی A)، رابطه منطقی سیگنال P چه خواهد بود؟



۱) 0
۲) a3
۳) a3a2a1a0
۴) p3g2g1g0

۱۳- در یک سیستم با حافظهٔ اصلی 2^{16} کلمه و حافظهٔ نهان 2^{8} کلمه با بلوک‌های ۱۶ کلمه‌ای، نسبت تعداد بیت‌های tag در نگاشت مستقیم به تعداد بیت‌های tag در نگاشت انجمنی کامل کدام است؟

۱) ۰/۵
۲) ۰/۶۷
۳) ۱/۵
۴) ۲

۱۴- برای پردازش ۹۶ عدد ورودی در یک سیستم که به‌صورت ایدئال پایپلاین شده است، تسریع ۴/۸ به‌دست آمده است. تعداد طبقات پایپلاین کدام است؟

۱) ۴
۲) ۵
۳) ۶
۴) با این اطلاعات قابل تعیین نیست.

۱۵- در یک ماشین m-آدرسه، حجم حافظه 2^{16} کلمه ۱۶ بیتی است. ماشین دارای n ثبات عمومی است و شیوه نشانی‌دهی مورد استفاده آدرس دهی مستقیم (حافظه و ثبات) و قالب دستورات یک‌کلمه‌ای و دوکلمه‌ای هستند. اگر تعداد دستورات یک کلمه‌ای ۳۲ و برابر با تعداد دستورات دو کلمه‌ای باشند (از تمام بیت‌های قالب دستور استفاده حداکثری شده است)، در این خصوص کدام گزینه صحیح است؟

۱) m=3 و n=256
۲) m=2 و n=256
۳) m=3 و n=32
۴) m=2 و n=32

۱۶- در یک حافظه انجمنی (CAM) ۸ کلمه‌ای (هر کلمه ۸ بیت) محتویات حافظه از آدرس 0 تا 7 به‌ترتیب زیر هستند:

آدرس →	0	1	2	3	4	5	6	7
محتوا →	B7	F7	1B	DB	F0	AE	EA	33

اگر محتویات ثبات Argument Register برابر AAh و محتویات ثبات Key Register برابر 33h باشد، مقدار ثبات Match Register بعد از عمل جستجو کدام است؟

توجه: انطباق محتویات Argument Register با محتویات خانه با آدرس کوچک‌تر توسط بیت با ارزش کمتر در Match Register گزارش می‌شود.

۱) 38h
۲) C8h
۳) 60h
۴) C0h

آخرین اخبار و اطلاعات آزمون دکتری در وب سایت پی اچ دی تست

پی اچ دی تست؛ نخستین وب سایت تخصصی آزمون دکتری

۱۷- فرض کنید تأخیر گیت‌های دو ورودی برابر ۱ پیکوثانیه است. هم‌چنین فرض کنید یک FA را با استفاده از دو HA می‌سازیم. در این صورت میزان تأخیر یک جمع‌کنندهٔ ۸ بیتی با انتشار بیت نقلی کدام گزینه است؟

۱) ۲۶ پیکوثانیه ۲) ۳۲ پیکوثانیه ۳) ۳۷ پیکوثانیه ۴) ۴۰ پیکوثانیه

۱۸- دو برنامهٔ A و B به‌ترتیب بر روی دو ماشین M1 و M2 اجرا می‌شوند. Clock Rate ماشین‌های M1 و M2 به‌ترتیب برابر ۸۰ و ۱۰۰ مگاهرتز است. جدول زیر تعداد کلاس‌ها، CPI هر کلاس و تعداد دستورات موجود از هر کلاس را در دو برنامهٔ A و B نشان می‌دهد. برای این‌که سرعت اجرای برنامهٔ A بر روی ماشین M1 حداقل 1.2 برابر سرعت اجرای برنامهٔ B بر روی ماشین M2 باشد، حداکثر دستوراتی که از کلاس C2 در برنامهٔ A قابل استفاده است، چه تعداد است؟

Class	A	
	Ci	CPI
C1	2	1
C2	?	2
C3	3	3
C4	1	4

Class	B	
	Ci	CPI
C1	2	2
C2	3	1
C3	5	3

۱) ۲ ۲) ۳

۳) ۴ ۴) با این اطلاعات قابل تعیین نیست.

۱۹- حافظهٔ پنهان (Cache) با مشخصات زیر را در نظر بگیرید:

۱۶ بایت حافظه با سیاست نوشتن همزمان (Write-Through) و تخصیص در هنگام نوشتن (allocate-on-Write) و سیاست جایگزینی LRU. این سیستم دارای ۸ بیت آدرس‌دهی مبتنی بر بایت (Byte-Addressable) است.

با توجه به پیکربندی حافظه پنهان A (نگاشت مستقیم (direct-mapped) و دو بایت در هر بلوک حافظه پنهان) زیرمجموعهٔ زیر برای این پیکربندی کدام است؟

{Number of blocks in the cache, Number of bits in block offset, Number of bits in the line index, Number of bits for the tag}

۱) $\{۴,۲,۲,۶\}$ ۲) $\{۸,۱,۲,۴\}$

۳) $\{۴,۱,۱,۶\}$ ۴) $\{۸,۱,۳,۴\}$

۲۰- در یک پردازنده با پیاده‌سازی Multi-Cycle و با توزیع دستورات به شرح زیر:

- دستور SW برای اجرا احتیاج به ۵ سیکل ساعت دارد ولی بقیه دستورات احتیاج به ۴ سیکل ساعت دارند.
- دستورات شامل ۳۰٪ دستور SW، ۳۰٪ دستور LW، ۱۵٪ دستور beq و ۲۵٪ دستور add هستند.

مجموعه {زمان اجرای برنامه، مقدار CPI ، تعداد سیکل‌های ساعت اجرا} برای اجرای ۵۰۰ دستور با فرکانس ۱۰ نانو ثانیه کدام است؟

۱) {2160 Cycles, 4.4, 21.6 Microseconds}

۲) {2150 Cycles, 4.3, 21.5 Microseconds}

۳) {2140 Cycles, 4.2, 21.4 Microseconds}

۴) {2130 Cycles, 4.1, 21.3 Microseconds}

۲۱- برای پردازش ۹۳ عدد ورودی در یک سیستم که به‌صورت ایدئال پایپلاین شده و از معماری 3-way superscalar بهره می‌برد، تسریع ۳۱ به‌دست آمده است. این پایپلاین چند طبقه (stage) دارد؟

۱) کمتر از ۱۰ ۲) ۱۰

۳) بیشتر از ۱۰ ۴) با این اطلاعات قابل تعیین نیست.

آخرین اخبار و اطلاعات آزمون دکتری در وب سایت پی اچ دی تست

پی اچ دی تست؛ نخستین وب سایت تخصصی آزمون دکتری

۲۲- در یک پایپلاین غیرخطی جدول رزرواسیون بصورت زیر است. کدام مورد درست است؟
(MAL = Minimum Average Latency)

	t1	t2	t3	t4	t5	t6
S1	X		X			X
S2		X		X		
S3					X	

۱) $MAL = 3.3$
۲) $MAL = 4$
۳) سیکل (416) مجاز است.
۴) سیکل $(4^*6^*16^*)$ مجاز است.

۲۳- درخصوص یک پایپلاین غیرخطی با قابلیت محاسبه n تابع مختلف، کدام گزاره درست است؟
الف- n ماتریس تصادم اولیه (Initial Collision matrix) داریم.
ب- هر ماتریس تصادم اولیه n-1 سطر دارد (هر سطر معرف یک بردار تصادم اولیه است).
۱) هر دو گزاره الف و ب درست هستند.
۲) هر دو گزاره الف و ب نادرست هستند.
۳) گزاره الف درست است اما گزاره ب درست نیست.
۴) گزاره ب درست است اما گزاره الف درست نیست.

۲۴- در یک پایپلاین غیرخطی بردار تصادم اولیه 01010 است. جدول رزرواسیون این خط لوله کدام گزینه نمی‌تواند باشد؟

۱)

	t1	t2	t3	t4	t5	t6
S1	X				X	
S2		X		X		
S3			X			X

۲)

	t1	t2	t3	t4	t5	t6
S1	X		X		X	
S2		X				X
S3				X		

۳)

	t1	t2	t3	t4	t5	t6
S1	X				X	
S2		X		X		
S3			X			
S4						X

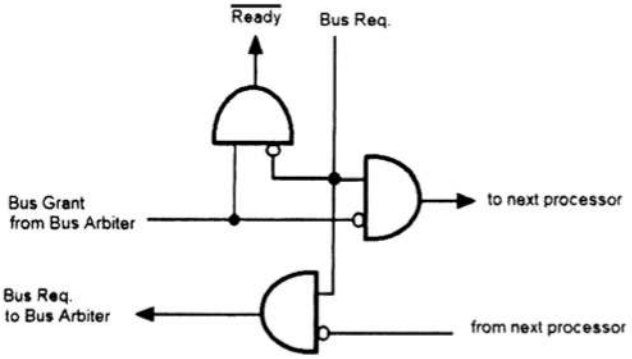
۴) با این اطلاعات نمی‌شود در خصوص جدول رزرواسیون اظهارنظر کرد.

آخرین اخبار و اطلاعات آزمون دکتری در وب سایت پی اچ دی تست

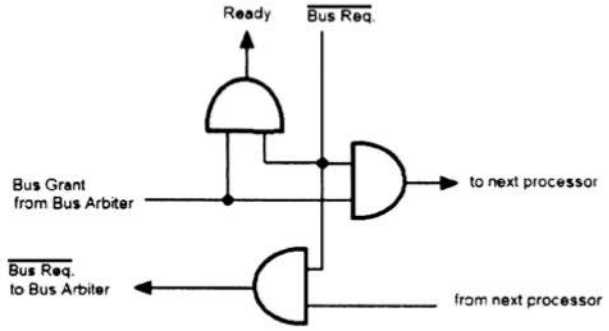
پی اچ دی تست؛ نخستین وب سایت تخصصی آزمون دکتری

۲۵- در یک سیستم چندپردازنده با حافظه مشترک برای درخواست/تصاحب گذرگاه مـی‌خـواهیم از روش daisy chain استفاده کنیم. از کدام گزینه می‌توان برای لاجیک مورد نیاز هر پردازنده استفاده کرد؟

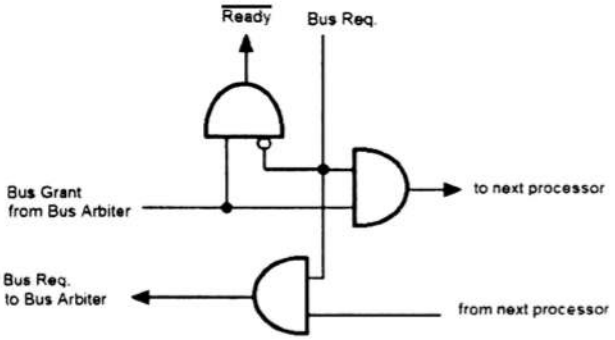
(۱)



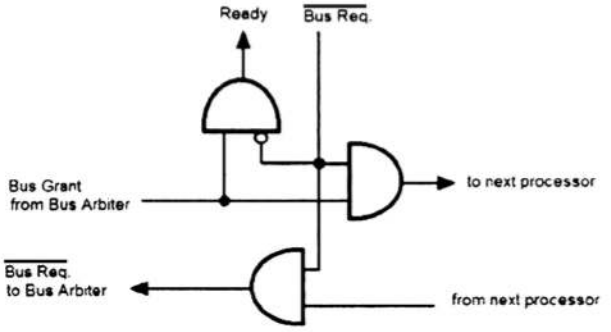
(۲)



(۳)



(۴)



آخرین اخبار و اطلاعات آزمون دکتری در وب سایت پی اچ دی تست

پی اچ دی تست؛ نخستین وب سایت تخصصی آزمون دکتری

۲۶- در یک پیش‌بینی‌کننده پرش دو بیتی دوسطحی نوع Gag با یک BHR عمومی 10 بیتی، حجم حافظه PHT عمومی کدام است؟
(BHR: Branch History Register, PHT: Pattern History Table)

۱) ۱۰۲۴ بیت ۲) ۲۵۶ بایت
۳) ۱۰۲۴ بایت ۴) با این اطلاعات قابل تعیین نیست.

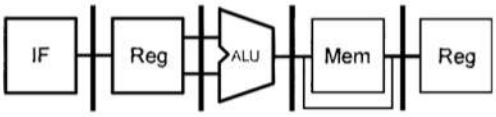
۲۷- تعداد گره‌های به فاصله ۵ گام (hop) از یک گره مشخص در یک سیستم شبکه فوق مکعب (hypercube) ۲۵۲ است. قطر (diameter) این شبکه کدام مورد است؟

۱) ۸ ۲) ۹ ۳) ۱۰ ۴) ۱۱

۲۸- کدام گزینه درخصوص روش‌های سوئیچینگ در یک چند کامپیوتر درست است؟
الف- در سوئیچینگ خزشی (wormhole switching) زمان ارسال بسته در ترافیک ناچیز متناسب با حاصل‌ضرب طول مسیر و طول بسته است.
ب- در سوئیچینگ ذخیره-و-ارسال (store & forward switching) زمان ارسال بسته در ترافیک ناچیز متناسب با مجموع طول مسیر و طول بسته است.

۱) هر دو گزاره الف و ب درست هستند. ۲) هر دو گزاره الف و ب نادرست هستند.
۳) گزاره الف درست ولی گزاره ب نادرست است. ۴) گزاره الف نادرست ولی گزاره ب درست است.

۲۹- یک پردازندهٔ پایپلاین ۵ مرحله‌ای را مطابق با شکل زیر در نظر بگیرید. فرض کنید برنامه‌ای با ۳۰۰ دستور به شکل زیر بر روی این پردازنده اجرا می‌شود.



lw, lw, add, lw, lw, add, …
اگر هر دستور فقط به دستور قبلی خود وابسته باشد، میزان تسریع این برنامه با استفاده از Forwarding نسبت به حالت بدون استفاده از Forwarding چقدر است؟ (فرض کنید در رجیستر فایل در نیمهٔ اول CLK عملیات نوشتن و در نیمه‌ی دوم CLK عملیات خواندن انجام می‌شود.)

۱) ۱/۸
۲) ۲
۳) ۲/۲
۴) ۲/۸

۳۰- در تکه کد زیر برای یک معماری پایپلاین ده طبقه، تعداد مخاطرات (RAW, WAR,WAW) کدام است؟

```
add  $t0, $s0, $s1
sub  $t0, $t0, $t1
lw   $t1, 60($t0)
and  $t0, $t1, $t0
```

۱) (5,2,2) ۲) (5,3,2) ۳) (6,2,3) ۴) (6,3,3)

آخرین اخبار و اطلاعات آزمون دکتری در وب سایت پی اچ دی تست

پی اچ دی تست؛ نخستین وب سایت تخصصی آزمون دکتری

۳۱- در یک پردازنده از پیش‌بینی‌کننده پرش سه بیتی (3-bit saturation Counter) دو سطحی با PHT عمومی استفاده شده است. رفتار ده دستور پرش شرطی اجرا شده آخر به شکل زیر است. (به‌ترتیب از چپ به راست):

→T T T N T N T N T T

فرض کنید بلافاصله قبل از اجرای این ده دستور پرش محتویات BHR عمومی، 101 است و تمامی خانه‌های PHT صفر هستند. درخصوص نرخ پیش‌بینی صحیح A و محتویات خانه B به آدرس ۲ در جدول PHT کدام مورد درست است؟

۱) $B=0\ ,\ A=0.2$

۲) $B=1\ ,\ A=0.3$

۳) $B=2\ ,\ A=0.3$

۴) $B=2\ ,\ A=0.2$

۳۲- در مورد گزاره‌های زیر درخصوص کامپیوترهای برداری کدام مورد صحیح است؟

الف- معماری کامپیوترهای برداری قطعاً به‌صورت پایپلاین است.

ب- نمودار تسریع در یک کامپیوتر برداری با معماری حافظه‌ـحافظه (memory-memory) به‌صورت دندان اره‌ای است.

۱) گزاره الف درست و گزاره ب نادرست است.

۲) گزاره الف نادرست و گزاره ب درست است.

۳) هر دو گزاره الف و ب درست هستند.

۴) هر دو گزاره الف و ب نادرست هستند.

۳۳- پایپلاین (الف) با ۱۰ طبقه و کلاک پریود ۱۰ ns برای محاسبهٔ تابع F و پایپلاین (ب) با ۱۵ طبقه و کلاک پریود ۲۰ ns برای محاسبه تابع G وجود دارند. می‌خواهیم برای بردار ورودی ۱۰۰ عنصری X، بردار خروجی FoG(X) (منظور F(G(X)) را محاسبه کنیم. تسریع این محاسبه به کمک زنجیر کردن دو پایپلاین در مقایسه با حالتی‌که بدون زنجیر کردن انجام شود، چقدر است؟

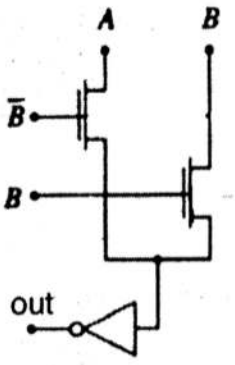
۱) ۱/۲۵

۲) ۱/۳۵

۳) ۱/۴۵

۴) با این اطلاعات قابل تعیین نیست.

۳۴- شکل زیر چه تابعی را پیاده‌سازی می‌کند؟



۱) گیت OR با دامنهٔ خروجی کامل

۲) گیت NOR با دامنهٔ خروجی کامل

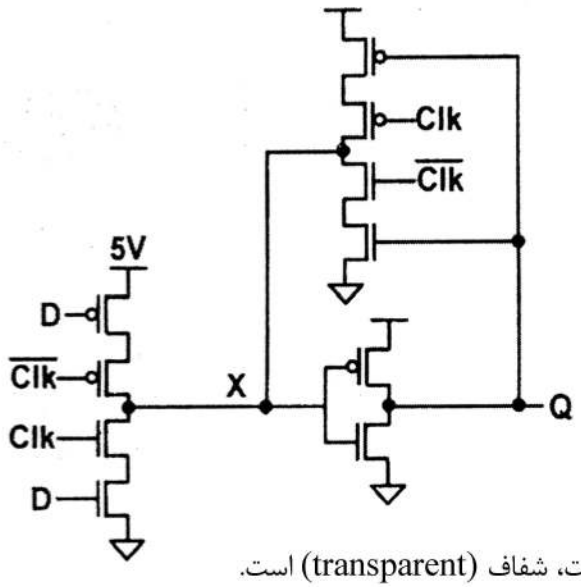
۳) گیت XOR با دامنهٔ خروجی محدود

۴) گیت NOR با دامنهٔ خروجی محدود

آخرین اخبار و اطلاعات آزمون دکتری در وب سایت پی اچ دی تست

پی اچ دی تست؛ نخستین وب سایت تخصصی آزمون دکتری

۳۵- کدام گزینه درخصوص مدار زیر درست است؟



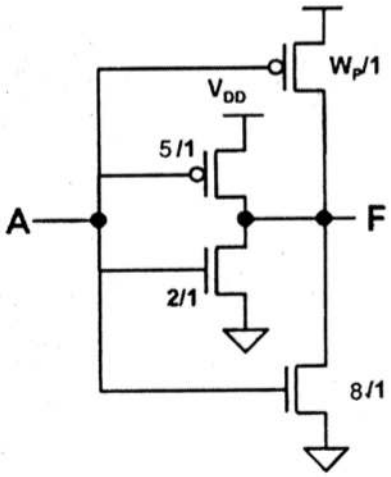
۱) یک latch ایستا که در هنگام یک بودن پالس ساعت، شفاف (transparent) است.

۲) یک latch پویا که در هنگام یک بودن پالس ساعت، شفاف (transparent) است.

۳) یک latch ایستا که در هنگام صفر بودن پالس ساعت، شفاف (transparent) است.

۴) یک latch پویا که در هنگام صفر بودن پالس ساعت، شفاف (transparent) است.

۳۶- برای آنکه در مدار زیر تأخیر صعود و تاخیر نزول برابر شود، باید عرض ترانزیستور PMOS که با Wp مشخص شده چقدر باشد؟ (فرض کنید تحرک‌پذیری (μ) ترانزیستور nmos دو برابر ترانزیستور pmos است.)



۱) ۱۱

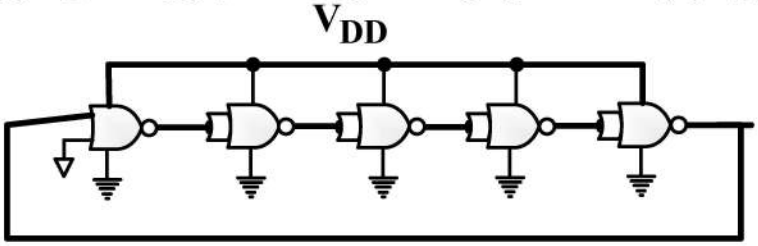
۲) ۱۵

۳) ۱۶

۴) ۲۰

۳۷- فرکانس نوسان مدار زیر، تقریباً چند گیگاهرتز است؟

از مدل RC ساده برای محاسبه تأخیر استفاده کنید. ترانزیستور روشن (نوع nmos یا pmos) را با یک مقاومت ۷ کیلواهم مدل کنید. خازنی که در خروجی هر گیت مشاهده می‌شود ۱۰ فمتوفاراد است. برای سادگی فرض کنید: $\ln 2 = 0/7$



۱) ۱۰

۲) ۴

۳) ۲

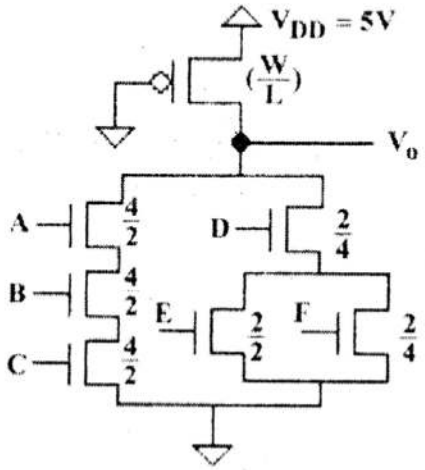
۴) ۱

آخرین اخبار و اطلاعات آزمون دکتری در وب سایت پی اچ دی تست

پی اچ دی تست؛ نخستین وب سایت تخصصی آزمون دکتری

۳۸- در مدار زیر، با توجه به اطلاعات داده شده، حداکثر توان ایستا چقدر است؟

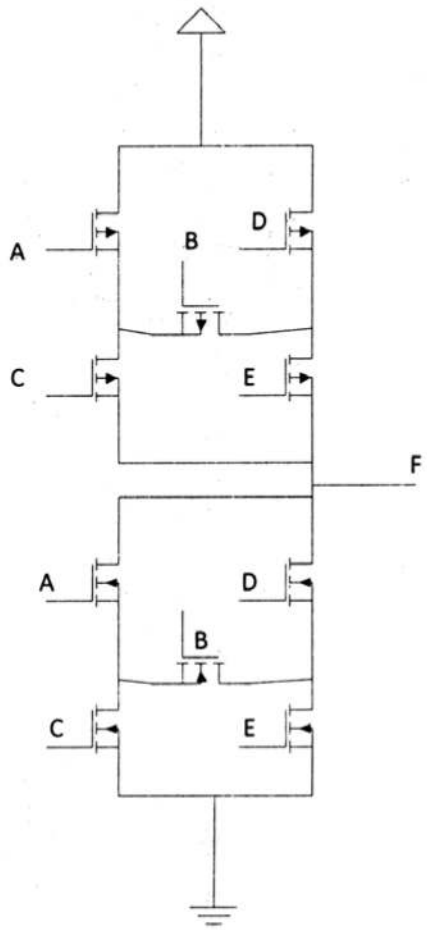
$$V_{OL}=۱V, V_{tn}=-V_{tp}=\frac{V_{DD}}{۵}, K_n=۱۲\frac{mA}{V^۲}$$



۱) ۲۲/۵
۲) ۲۵/۲۵
۳) ۲۵/۵
۴) ۲۶/۲۵

۳۹- در مدار شکل داده شده، اگر اندازهٔ تمام ترانزیستورهای شبکه بالابر (PUN) به صورت $\left(\frac{W}{L}\right)=\frac{۶}{۴}$ باشد، انـدازهٔ ترانزیستورهای شبکه پایین‌بر (PDN) $\left(\frac{W}{L}\right)_n$ چقدر باشد، تا ولتاژ سوییچینگ مدار $V_{sw}=\frac{V_{DD}}{۲}$ شود؟

$$V_{tn}=-V_{tp}=\frac{VDD}{۵}=۱V$$



۱) $\frac{۴}{۸}$
۲) $\frac{۴}{۴}$
۳) $\frac{۶}{۸}$
۴) $\frac{۶}{۴}$

آخرین اخبار و اطلاعات آزمون دکتری در وب سایت پی اچ دی تست

پی اچ دی تست؛ نخستین وب سایت تخصصی آزمون دکتری

۴۰- در یک معکوس کنندهٔ CMOS داریم:

$$(W/L)_p = ۲(W/L)_n = ۴۰$$

$$\mu_n C_{ox} = ۲\mu_p C_{ox} = ۲۰\frac{mA}{V^۲}$$

$$V_t = ۱V \ , \ V_{DD} = ۵V$$

با صرف‌نظر کردن از t_r برای سیگنال ورودی، تأخیر انتشار این معکوس کننده (t_p)، با فرض $C_L = ۱۵pF$ چند نانوثانیه است؟

۱) ۱۵۰

۲) ۲۵۰

۳) ۳۰۰

۴) ۵۰۰

۴۱- کدام گزینه در مورد ولتاژ آستانه ترانزیستورهای MOSFET درست است؟

۱) گرم شدن ترانزیستور موجب افزایش تحرک (mobility) حامل‌ها و به تبع آن، کاهش ولتاژ آستانه می‌شود.

۲) با استفاده مؤثر از پدیده Drain Induced Barrier Lowering (DIBL) می‌تواند به‌خوبی تثبیت شود.

۳) تابعی از طول ترانزیستور بوده و با آن نسبت معکوس دارد.

۴) پدیده halo doping باعث افزایش ولتاژ آستانه می‌گردد.

۴۲- اگر پارامتر g نشان‌دهندهٔ تلاش منطقی (logical effort) متوسط یک گیت NOR دو ورودی CMOS متقارن، g_H تلاش منطقی متوسط یک پیاده‌سازی HI-skew از همان گیت، و g_L تلاش منطقی متوسط پیاده‌سازی $LO-skew$ همان گیت باشد، کدام گزاره درست است؟

۱) $g > g_L > g_H$

۲) $g > g_H > g_L$

۳) $g_H > g_L > g$

۴) $g_H > g > g_L$

۴۳- یک طراح، خطلوله‌ای (pipeline) ۴-مرحله‌ای طراحی کرده است که تأخیر هر مرحله آن برابر مقادیر زیر است:

$$t_{pd۱} = ۲۵۰^{ps} \ , \ t_{pd۲} = ۳۵۰^{ps} \ , \ t_{pd۳} = ۴۳۰^{ps} \ , \ t_{pd۴} = ۴۰۰^{ps}$$

با فرض این‌که تأخیر فلیپ‌فلاپ‌های استفاده شده در این پردازنده برابر ۳۰۰^{ps}، مقدار t_{setup} برابر ۱۷۰^{ps} و مقدار t_{hold} برابر ۱۵۰^{ps} باشد، حداکثر فرکانس کلاک این پردازنده کدام است؟ (حداکثر t_{skew} کلاک را ۱۰٪ در نظر بگیرید.)

۱) ۲۵۰^{ps}

۲) ۳۵۰^{ps}

۳) ۴۰۰^{ps}

۴) ۴۳۰^{ps}

آخرین اخبار و اطلاعات آزمون دکتری در وب سایت پی اچ دی تست

پی اچ دی تست؛ نخستین وب سایت تخصصی آزمون دکتری

۴۴- **کدام عبارت درخصوص یک ترانزیستور MOSFET صحیح است؟**

۱) جریان نشتی گیت در ترانزیستورهای NMOS بیشتر از PMOS است.

۲) برای کاهش جریان نشتی کافی است که ولتاژ گیت را به اندازهٔ کافی کاهش دهیم.

۳) در این ترانزیستورها بین درجه حرارت ترانزیستور و جریان نشتی آن یک رابطه معکوس وجود دارد.

۴) با پیشرفت فناوری ساخت و کاهش سایز این نوع ترانزیستورها جریان نشتی در پیوندها (Junction leakage) تبدیل به عامل اصلی افزایش توان نشتی شده است.

۴۵- **یک حافظه SRAM دارای ۴۰۹۶ کلمه ۱۶ بیتی است، که به‌صورت یک مربع چیده شده‌اند. اگر سایز هر سلول حافظه ۰/۱۷۵ میکرون‌مربع باشد، و مساحت قسمت‌های جانبی ۳۰٪ از کل فضای حافظه را تشکیل دهد، کدام‌یک از گزینه‌های زیر درست است؟**

۱) تعداد مالتی‌پلکسرهای لازم برای ستون‌ها برابر ۱۶ و سایز کل این حافظه تقریباً برابر با ۸۰۰۰ میکرون‌مربع خواهد بود.

۲) تعداد مالتی‌پلکسرهای لازم برای ستون‌ها برابر ۳۲ و سایز کل این حافظه تقریباً برابر با ۸۰۰۰ میکرون‌مربع خواهد بود.

۳) تعداد مالتی‌پلکسرهای لازم برای ستون‌ها برابر ۱۶ و سایز کل این حافظه تقریباً برابر با ۱۶۰۰۰ میکرون‌مربع خواهد بود.

۴) تعداد مالتی‌پلکسرهای لازم برای ستون‌ها برابر ۳۲ و سایز کل این حافظه تقریباً برابر با ۱۶۰۰۰ میکرون‌مربع خواهد بود.

آخرین اخبار و اطلاعات آزمون دکتری در وب سایت پی اچ دی تست

پی اچ دی تست؛ نخستین وب سایت تخصصی آزمون دکتری

آخرین اخبار و اطلاعات آزمون دکتری در وب سایت پی اچ دی تست

پی اچ دی تست؛ نخستین وب سایت تخصصی آزمون دکتری

آخرین اخبار و اطلاعات آزمون دکتری در وب سایت پی اچ دی تست